


SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP2001056723
Publication date: 2001-02-27
Inventor(s): TOMITA HIROYOSHI
Applicant(s): FUJITSU LTD
Requested Patent:  JP2001056723
Application Number: JP19990232720 19990819
Priority Number(s):
IPC Classification: G06F1/10; G06F1/12; G11C11/407; H03K5/135; H03K19/0175; H03L7/081
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit capable of rightly comparing phases at all the time without depending on the frequencies of clock signals by switching a delay step to be selected by a switch circuit, applying ratio information to an auxiliary circuit and performing control for matching the phases of reference clock and internal clock signal.

SOLUTION: Corresponding to the ratio information supplied from a control circuit 25, an interpolation circuit 24 generates the internal clock signal of a phase having a transition edge between the transition edge of the first clock signal and the transition edge of the second clock signal. A phase comparator circuit 26 compares the phases of the reference clock signal and the internal clock signal. On the basis of the compared result of the phase comparator circuit 26, a control circuit 25 precisely controls the phase of the internal clock signal by applying the ratio information to the interpolation circuit 24 so as to match the phases of the internal clock signal and the reference clock signal. Control due to the control circuit 25 is continued until the phases are matched.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-56723

(P2001-56723A)

(43)公開日 平成13年2月27日(2001.2.27)

(51)Int.Cl.⁷

識別記号

F I

テームト*(参考)

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

5 B 0 2 4

1/12

H 0 3 K 5/135

5 B 0 7 9

G 1 1 C 11/407

G 0 6 F 1/04

3 4 0 A

5 J 0 0 1

H 0 3 K 5/135

G 1 1 C 11/34

3 5 4 C

5 J 0 5 6

19/0175

3 6 2 S

5 J 1 0 6

審査請求

未請求

請求項の数 5 O L (全 48 頁)

最終頁に続く

(21)出願番号

特願平11-232720

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番

1号

(22)出願日

平成11年8月19日(1999.8.19)

(72)発明者 宮田 浩由

神奈川県川崎市中原区上小田中4丁目1番

1号

富士通株式会社内

(74)代理人 100072718

弁理士 古谷 史旺 (外1名)

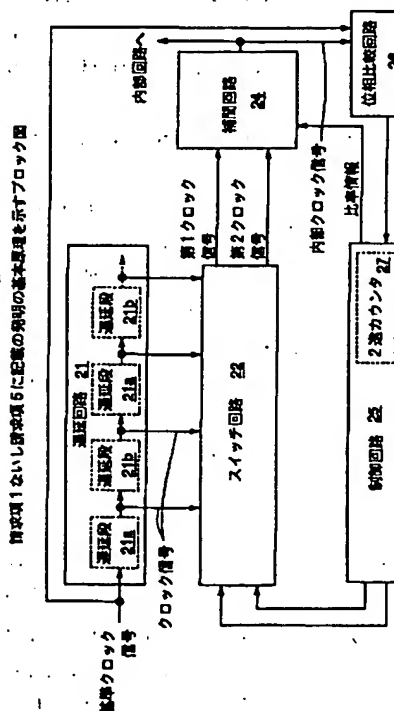
最終頁に続く

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 本発明は、DLL回路を搭載した半導体集積回路に関し、クロック信号の周波数に依存せず位相比較を正しく行うことを目的とする。

【解決手段】 遅延段が縦続接続され、基準クロック信号を受けて各遅延段からクロック信号を出力する遅延回路と、奇数段目の遅延段から第1クロック信号を選択し、偶数段目の遅延段から第2クロック信号を選択するスイッチ回路と、第1、第2クロック信号の遷移エッジの間に遷移エッジを有する位相の内部クロック信号を、比率情報に応じて生成する補間回路と、基準クロック信号、内部クロック信号の位相を比較する位相比較回路と、位相比較回路の比較結果に基づいて、第1、第2スイッチ回路の切り替えを行うとともに、補間回路に比率情報を与えて内部クロック信号の位相をずらし、基準クロックと内部クロック信号との位相を一致させる制御を行う制御回路とを備えたことを特徴とする。



【特許請求の範囲】

【請求項 1】 所定の遅延時間を有する遅延段が縦続接続され、基準クロック信号を受けて前記各遅延段からそれぞれ遅延したクロック信号を出力する遅延回路と、前記遅延回路における奇数段目の前記遅延段から出力される前記クロック信号のいずれかを第 1 クロック信号として選択し、前記第 1 クロック信号を出力する前記遅延段に隣接する偶数段目の前記遅延段から出力される前記クロック信号の一方を第 2 クロック信号として選択するスイッチ回路と、

前記第 1 クロック信号の遷移エッジと前記第 2 クロック信号の遷移エッジとの間に遷移エッジを有する位相の内部クロック信号を、比率情報に応じて生成する補間回路と、

前記基準クロック信号の位相と、前記内部クロック信号の位相とを比較する位相比較回路と、

前記位相比較回路の比較結果に基づいて、前記スイッチ回路が選択する前記遅延段の切り替えを行うとともに、前記補間回路に前記比率情報を与えて、前記基準クロックと前記内部クロック信号との位相を一致させる制御を行う制御回路とを備えたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

前記制御回路は、

位相比較の開始時に、前記位相比較回路の比較結果に応じて前記スイッチ回路を制御し、前記内部クロック信号の位相を粗調整し、

前記基準クロックと前記内部クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記位相比較回路の比較結果に応じて前記補間回路に前記比率情報を与え、前記内部クロック信号の位相を微調整することを特徴とする半導体集積回路。

【請求項 3】 請求項 2 記載の半導体集積回路において、

前記制御回路は、2 進カウンタのカウント値を前記比率情報として出力し、

前記補間回路は、前記 2 進カウンタの増加時に、前記内部クロック信号の位相を前記第 1 クロック信号側から前記第 2 クロック信号側に変化させ、前記 2 進カウンタの減少時に、前記内部クロック信号の位相を前記第 2 クロック信号側から前記第 1 クロック信号側に変化させることを特徴とする半導体集積回路。

【請求項 4】 請求項 3 記載の半導体集積回路において、

前記制御回路は、前記粗調整により前記基準クロックと前記内部クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記比較結果に応じて前記 2 進カウンタの上位側の 2 ビットの値を増加または減少する動作を、下位側に向けて順次行うことを特徴とする半導体

集積回路。

【請求項 5】 請求項 1 記載の半導体集積回路において、

前記制御回路は、使用していない後段側の前記遅延段の少なくとも一つを非活性化することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック同期式の半導体集積回路に関し、特に、内部回路で使用する内部クロック信号を外部クロック信号に同期させる DLL (Delay Locked Loop) 回路を搭載した半導体集積回路に関する。

【0002】

【従来の技術】クロック同期式の半導体集積回路として、SDRAM (Synchronous DRAM)、DDR-SDRAM (Double Data Rate-Synchronous DRAM) 等が知られている。この種の半導体集積回路では、外部から供給されるクロック信号に同期して内部回路を動作させ、データの入出力を行っている。一般に、半導体集積回路は、データの出力端子を複数本備えている。これ等出力端子から出力される各出力データには、チップ上の回路レイアウトに依存する信号線の配線長により、スキューが発生する。スキューは、クロック周波数が高くなるほど相対的に大きくなる。近時、動作周波数が 100MHz を越える SDRAM、DDR-SDRAM が開発されており、上記スキューは、無視できなくなっている。

【0003】このようなスキューを低減するため、DLL 回路を搭載した半導体集積回路が開発されている。DLL 回路は、内部回路で使用する内部クロック信号を外部からの基準クロック信号に対して所定の位相を調整する回路であり、例えば、特開平 10-112182 号公報に基本的な構成が開示されている。また、遅延時間の調整単位の粗いラフ用遅延回路と、遅延時間の調整単位の細かいファイン用遅延回路とを備えた DLL 回路が提案されている。この種の DLL 回路では、位相調整の精度を高め、同時に内部クロック信号の揺らぎ (ジッタ) を低減することができる。

【0004】図 63 は、本出願人により提案された DLL 回路を搭載した半導体集積回路の一例を示している。なお、図 63 に示した回路は、未だ公知ではない。この半導体集積回路は、外部から取り込んだクロック信号 CLK を内部クロック信号 ICLK として出力する入力バッファ 1 と、内部クロック信号 ICLK から所定時間遅延した内部クロック信号 ICLK2 を生成する遅延クロック生成部 2 と、メモリセル等から読み出されるデータ信号 DATA を内部クロック信号 ICLK2 に同期して出力データ信号 DOUT として出力する出力バッファ 3 と、遅延クロック生成部 2 を制御し、内部クロック信号 ICLK2 の位相をクロック信号 CLK の位相に合わせる位相制御部 4 と、遅延クロック生成部

3.

2および位相制御部4の動作を同期させるスタート信号STARTを生成する開始信号発生器5とを備えている。

【0005】遅延クロック生成部2は、ラフ可変遅延回路6とファイン可変遅延回路7とを備えている。ラフ可変遅延回路6は、遅延時間の長い複数の遅延段（図示せず）を縦続接続して構成されており、遅延段の接続数に応じて遅延時間の大きな調整を行う回路である。ラフ可変遅延回路6は、ラフ遅延制御回路13の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。

【0006】ファイン可変遅延回路7は、遅延時間の短い複数の遅延段（図示せず）を縦続接続して構成されており、これ等遅延段の接続数に応じて遅延時間の細かい調整を行う回路である。ファイン可変遅延回路7は、ファイン遅延制御回路15の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。ファイン可変遅延回路7の遅延時間の最大値は、ラフ可変遅延回路6の遅延段1段分の遅延時間より若干大きくされている。

【0007】位相制御部4は、分周器8、9と、出力バッファ3と等価なダミー出力バッファ1.0と、入力バッファ1と等価なダミー入力バッファ1.1と、ラフ位相比較器12と、ラフ遅延制御回路13と、ファイン位相比較器14と、ファイン遅延制御回路15と、段数設定回路16と、段数検出回路17と、DLL制御回路18とを備えている。

【0008】分周器8は、内部クロック信号ICLKの周波数を分周して内部クロック信号/CLK1を生成し、ラフ位相比較器12およびファイン位相比較器14に出力している。ここで、クロック信号/CLK1の“/”は、クロック信号CLKに対して論理が反転していることを示している。分周器9は、内部クロック信号ICLK2の周波数を分周して内部クロック信号ICLK3を生成し、ダミー出力バッファ1.0に出力している。分周器8、9の分周率は、例えば4分の1にされている。クロック信号ICLK、ICLK2を分周することで、高周波時の位相比較が容易にされ、るとともに消費電力が低減される。

【0009】ダミー出力バッファ1.0から出力された信号は、ダミー入力バッファ1.1に供給され内部クロック信号DICKLとしてラフ位相比較器12およびファイン位相比較器14に出力されている。段数設定回路16は、ラフ遅延制御回路6の遅延段の1段と等価な遅延回路、およびファイン可変遅延回路7と等価な遅延回路を有している。段数設定回路16は、ラフ可変遅延回路6の遅延段1段分の遅延時間が、ファイン可変遅延回路7の何段分に相当するかを常に監視し、その段数を最大段数信号J2としてファイン遅延制御回路15および段数検出回路17に出力している。なお、最大段数信号J2は、半導体集積回路の動作電圧、周囲温度により変化する。

【0010】段数検出回路17は、ファイン可変遅延回

4.

路7の遅延段の使用段数である段数信号J1および最大段数信号J2を受け、段数信号J1が最大段数信号J2になったとき、および段数信号J1が最小値になったときに、それぞれ、オーバーフロー信号OF、およびアンダフロー信号UFを出力する機能を有している。DLL制御回路18は、ラフ位相比較器12から位相一致信号SJTRを受け、段数検出回路17からオーバーフロー信号OF、アンダフロー信号UFを受け、選択信号S1、S2、増加信号UP、減少信号DOWNを出力している。DLL制御回路18は、位相一致信号SJTRの非活性化時に、選択信号S1を活性化し、選択信号S2を非活性化し、位相一致信号SJTRの活性化時に、選択信号S1を非活性化し、選択信号S2を活性化する機能を有している。また、DLL制御回路18は、ファイン位相比較器14の動作時において、オーバーフロー信号OFを受けたときに、ラフ位相比較器12にシフトアップ信号UPを出力し、アンダフロー信号UFを受けたときに、ラフ位相比較器12にシフトダウン信号DOWNを出力する機能を有している。

【0011】ラフ位相比較器12は、選択信号S1の活性化を受け、内部クロック信号/CLK1と内部クロック信号DICKLとの位相を比較し、比較結果をラフ遅延制御回路13に出力する回路である。ラフ位相比較器12は、内部クロック信号DICKLと内部クロック信号/CLK1との位相が一致したときに位相一致信号SJTRを活性化する機能と、シフトアップ信号UPを受けたときにラフ可変遅延回路6をシフトアップする機能と、シフトダウン信号DOWNを受けたときにラフ可変遅延回路6をシフトダウンする機能と、ラフ可変遅延回路6をシフトアップおよびシフトダウンしたときにそれぞれリセット信号MIN、セット信号MAXを出力する機能を有している。

【0012】ラフ遅延制御回路13は、ラフ位相比較器12での比較結果に基づいて、ラフ可変遅延回路6をシフトアップ、シフトダウンし遅延時間を調整する機能を有している。すなわち、ラフ遅延制御回路13は、内部クロック信号DICKLの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を1つ増加し、内部クロック信号DICKLの位相が内部クロック信号/CLK1の位相に対して遅れている場合には、遅延段の接続数を1つ減少する。

【0013】ファイン位相比較器14は、制御信号S2の活性化を受け、内部クロック信号DICKLと内部クロック信号/CLK1との位相を比較し、比較結果をファイン遅延制御回路15に出力する回路である。ファイン遅延制御回路15は、ファイン位相比較器14での比較結果に基づいて、ファイン可変遅延回路7をシフトアップ、シフトダウンし、遅延時間を調整する機能を有している。すなわち、ファイン遅延制御回路15は、内部クロック信号DICKLの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を1つ増加し、内部クロック信号DICKLの位相が内部クロック信号/CLK1の

位相に対して遅れている場合には、遅延段の接続数を1つ減少する。また、ファイン遅延制御回路15は、リセット信号MINを受けたときに、ファイン可変遅延回路7の遅延段の接続数を最小にする機能と、セット信号MAXを受けたときに、ファイン可変遅延回路7の遅延段の接続数を最大段数信号J2と同一にする機能と、現在のファイン可変遅延回路7の遅延段の接続数を段数信号J1として出力する機能とを有している。

【0014】開始信号発生器5は、内部クロック信号ICLKを受け、開始信号STTを出力している。リセット信号/RESETの解除時に、内部クロック信号ICLKの立ち下がり
10 同期して開始信号STTを活性化する回路である。遅延クロック生成部2および分周器8、9は、開始信号STTの活性化を受けて動作を開始する。図64は、上記各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始される。

【0015】まず、ステップS1では初期設定が行われる。図63に示した段数設定回路16は、ラフ可変遅延回路6の遅延段1段分の遅延時間が、ファイン可変遅延回路7の何段分に相当するかを求め、最大段数信号J2として出力する。また、位相制御部4が初期化され、ラフ可変遅延回路6、ファイン可変遅延回路7の遅延段の接続数が初期値に設定される。DLL制御回路は、選択信号S1を活性化し、選択信号S2を非活性化する。

【0016】次に、ステップS2からステップS5で、ラフ可変遅延回路6の初期調整が行われる。ステップS2において、位相制御部4は、分周器8、9の分周率を4分の1に設定する。分周器8は、内部クロック信号ICLKを受け、分周した内部クロック信号/CLK1を出力す
30 る。分周器9は、内部クロック信号ICLK2を受け、分周した内部クロック信号ICLK3を出力する。

【0017】ステップS3において、ラフ位相比較器12は、内部クロック信号/CLK1と内部クロック信号DICKLとの位相を比較し、比較結果をラフ遅延制御回路13に出力する。このとき、ファイン位相比較器14は、選択信号S2の非活性化を受け、動作を停止している。ステップS4において、ラフ位相比較器12は、ラフ位相比較器12で比較した両信号の位相が一致したときに、位相一致信号SJTRを活性化する。DLL制御回路18は、位相一致信号SJTRを受けて選択信号S1を非活性化し、選択信号S2を活性化する。この後、制御は、ステップS6に移行する。ラフ位相比較器12で比較した両信号の位相が一致しないときには、制御は、ステップS5に移行する。

【0018】ステップS5において、ラフ遅延制御回路13は、ラフ位相比較器12の比較結果に応じてラフ可変遅延回路6をシフトアップまたはシフトダウンし、遅延時間を調整する。この後、制御は、再びステップS3に移行する。次に、ステップS6からステップS15

で、ラフ可変遅延回路6、ファイン可変遅延回路7を使用した位相調整が行われる。

【0019】まず、ステップS6において、ファイン位相比較器14は、内部クロック信号/CLK1と内部クロック信号DICKLとの位相を比較し、比較結果をファイン遅延制御回路15に出力する。このとき、ラフ可変遅延回路6は、選択信号S1の非活性化を受け、動作を停止している。

【0020】ステップS7において、ファイン位相比較器14で比較した両信号の位相が一致したときには、制御は、再びステップS6に移行する。内部クロック信号DICKLの位相が内部クロック信号/CLK1の位相より進んでいるときには、制御は、ステップS8に移行する。内部クロック信号DICKLの位相が内部クロック信号/CLK1の位相より遅れているときには、制御は、ステップS12に移行する。

【0021】ステップS8において、段数検出回路17は、段数信号J1と最大段数信号J2とを比較する。段数信号J1が最大段数信号J2と等しいときには、繰り上げ処理が必要と判断され、制御は、ステップS10に移行する。段数信号J1が最大段数信号J2より小さいときには、繰り上げ処理は不要と判断され、制御は、ステップS9に移行する。

【0022】ステップS9において、ファイン遅延制御回路15は、ファイン可変遅延回路7を1段シフトアップし、内部クロック信号ICLK2の位相を遅らせる。ステップS10において、段数検出回路17は、オーバーフロー信号OFを出力する。DLL制御回路18は、オーバーフロー信号OFを受けて、シフトアップ信号UPを出力する。ラフ位相比較器12は、シフトアップ信号UPを受けて、ラフ可変遅延回路6を1段シフトアップし、リセット信号MINを出力する。

【0023】ステップS11において、ファイン遅延制御回路15は、リセット信号MINを受けて、ファイン可変遅延回路7の遅延段の接続数を最小に設定する。ステップS9、S11を実行した後、制御は、再びステップS6に移行する。一方、ステップS12において、段数検出回路17は、段数信号J1が最小値であるかどうかを調べる。段数信号J1が最小値の場合には、繰り下げ処理が必要と判断され、制御は、ステップS14に移行する。段数信号J1が最小値でない場合には、繰り下げ処理は不要と判断され、制御は、ステップS13に移行する。

【0024】ステップS13において、ファイン遅延制御回路15は、ファイン可変遅延回路7を1段シフトダウンし、内部クロック信号ICLK2の位相を進める。ステップS14において、段数検出回路17は、アンダーフロー信号UFを出力する。DLL制御回路18は、アンダーフロー信号UFを受けて、シフトダウン信号DOWNを出力する。ラフ位相比較器12は、シフトダウン信号DOWNを受

けて、ラフ可変遅延回路6を1段シフトダウンし、セット信号MAXを出力する。

【0025】ステップS15において、ファイン遅延制御回路15は、セット信号MAXを受けて、ファイン可変遅延回路7の遅延段の接続数を最大に設定する。ステップS13、S15を実行した後、制御は、再びステップS6に移行する。そして、ファイン可変遅延回路7の遅延段の遅延時間単位で位相調整が繰り返して行われる。すなわち、位相制御部4は、ラフ遅延制御回路13により大まかな位相調整を行った後、ファイン遅延制御回路15により細かい位相調整を行う。そして、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に合わせられる。

【0026】図65は、位相調整時の主要な信号のタイミングを示している。図65では、位相調整が行われ、内部クロック信号/CLK1と内部クロック信号DICLKとの位相が一致している状態を示している。開始信号STTは、リセット信号/RESETが解除されLレベルになった後、内部クロック信号ICLKの立ち下がり同期して活性化される(図65(a))。内部クロック信号ICLKは、クロック信号CLKの立ち上がりから図51に示した入力バッファ1の遅延時間T1だけ遅れて出力される(図65(b))。内部クロック信号ICLKは、分周器8により4分の1分周され、分周器8の遅延時間T2だけ遅れた内部クロック信号/CLK1として出力される(図65(c))。内部クロック信号ICLK2は、内部クロック信号ICLKの立ち上がりから遅延クロック生成部2の遅延時間T3だけ遅れて出力される(図65(d))。内部クロック信号ICLK2は、分周器9により4分の1分周され、分周器9の遅延時間T2だけ遅れた内部クロック信号ICLK3として出力される(図65(e))。分周器8、9の遅延時間T2は同一である。このため、内部クロック信号ICLK3の内部クロック信号/CLK1に対する遅れは、遅延クロック生成部2の遅延時間T3と等しくなる(図65(f))。内部クロック信号ICLK3は、ダミー出力バッファ10とダミー入力バッファ11の遅延時間T4だけ遅れて、内部クロック信号DICLKとして出力される(図65(g))。遅延時間T4は、入力バッファ1および出力バッファ3の遅延時間の合計に等しい。

【0027】したがって、内部クロック信号/CLK1と内部クロック信号DICLKとの位相が一致した状態では、内部クロック信号/CLK1の半周期(=クロック信号CLKの2周期)は、遅延クロック生成部2の遅延時間T3と、入力バッファ1および出力バッファ3の遅延時間T4との合計と同じになる(図65(h))。この合計時間T3+T4は、クロック信号CLKが供給されてから出力データ信号DOUTが出力される時間と同一である。この結果、出力バッファ3から出力される出力データ信号DOUTの位相は、クロック信号CLKの位相に一致する(図65(i))。

【0028】

【発明が解決しようとする課題】ところで、図64に示したフローチャートのステップS8、S12において、DLL制御回路18が、「繰り上がり有り」および「繰り下がり有り」と判断した場合、位相制御部4は、それぞれ、ステップS10、S11およびステップS14、S15を実行する。この際、例えば、ステップS10、S11を処理中に、内部クロック信号ICLKが変化すると、遅延段の制御が正しく行われず内部クロック信号ICLK2のタイミングが大きくずれるおそれがある。このため、ステップS10、S11の処理、およびステップS14、S15の処理は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。換言すると、繰り上がり時および繰り下がり時において、ラフ可変遅延回路6のシフト動作およびファイン可変遅延回路7のセット・リセット動作は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。

【0029】しかしながら、クロック信号CLKの周波数が高くなるにしたがい、このような制御に必要なタイミング余裕が減少している。特に、クロック信号CLKの周波数が100MHzを越える半導体集積回路では、制御が困難になってきている。

【0030】また、上述した半導体集積回路では、段数設定回路16は、ラフ可変遅延回路6の遅延段の1段の遅延時間がファイン可変遅延回路7の何段分に相当するかを求めている。段数設定回路16は、ラフ可変遅延回路6の遅延段と等価な回路で構成されているため、実際のラフ可変遅延回路6の遅延段の1段の遅延時間に対して誤差を有している。この誤差により、内部クロック信号ICLK2には、ジッタが発生するおそれがある。

【0031】さらに、上述した半導体集積回路では、分周器8、9により分周したクロック信号をラフ位相比較器12およびファイン位相比較器14で比較している。しかしながら、半導体集積回路に低い周波数のクロック信号が供給される場合には、ラフ可変遅延回路6の遅延段が数多く必要なり、回路規模が増大するという問題があった。遅延段の数を低減するため、分周器8、9の分周率を下げると、高い周波数のクロック信号CLKが供給される場合に、ラフ位相比較器12およびファイン位相比較器14の動作が不安定になる。また、位相比較の頻度が多くなり、消費電力が増大する。

【0032】一方、遅延時間が可変な複数の遅延段を4段(または8段)連続接続した遅延回路と、各遅延段から出力されるクロック信号のうち、隣接した2つのクロック信号を受け、内部クロック信号を生成する補間回路と、内部クロック信号の位相と、外部クロック信号の位相とを比較する位相比較回路と、位相比較回路での比較結果に基づいて遅延回路および補間回路を制御する制御回路とを備えた位相調整回路が提案されている。

【0033】この位相調整回路では、各遅延回路は、外

部クロック信号の周波数に応じて、各遅延段の遅延時間を調整し、位相が90度（または45度）ずつずれたクロック信号を出力する。補間回路は、隣接する2つのクロック信号を受け、これ等クロック信号の間に位相を有するクロック信号を生成する。そして、位相比較回路および制御回路は、内部クロック信号の位相と、外部クロック信号の位相とが一致するように遅延回路および補間回路を制御する。

【0034】しかしながら、この種の位相調整回路では、位相の調整は、外部クロック信号の1周期分しか行うことができないという問題があった。特に、半導体集積回路に高い周波数の外部クロック信号が供給される場合、位相の調整範囲が狭くなってしまう。また、遅延段は、遅延時間を調整できるようにCR時定数回路等の余分な素子を配置しており、そのレイアウトサイズが大きかった。

【0035】本発明の目的は、クロック信号の周波数に依存せず、常に位相比較を正しく行うことができる半導体集積回路を提供することにある。本発明の別の目的は、位相調整時に、内部クロック信号にジッタが発生することを防止することにある。本発明の別の目的は、位相比較の回数を低減し、位相比較に必要な時間を低減することにある。

【0036】本発明の別の目的は、遅延時間が固定された遅延段を使用することで、遅延段のレイアウトサイズを小さくすることにある。本発明の別の目的は、位相比較に必要な回路の消費電力を低減することにある。

【0037】

【課題を解決するための手段】図1は、請求項1ないし請求項5に記載の半導体集積回路の基本原理を示すブロック図である。

【0038】請求項1の半導体集積回路では、遅延回路21に供給された基準クロック信号は、縦続接続された所定の遅延時間を有する遅延段21a、21bに順次伝達される。各遅延段21a、21bからは、遅延したクロック信号が出力される。遅延したクロック信号は、前段側の遅延段に帰還されることはない。スイッチ回路22は、遅延回路21における奇数段目の遅延段21aから出力されるクロック信号のいずれかを第1クロック信号として選択する。また、スイッチ回路22は、第1クロック信号を出力する遅延段21aに隣接する偶数段目の遅延段21bから出力されるクロック信号の一方を第2クロック信号として選択する。補間回路24は、制御回路25から供給される比率情報に応じて第1クロック信号の遷移エッジと第2クロック信号の遷移エッジとの間に遷移エッジを有する位相の内部クロック信号を生成する。位相比較回路26は、基準クロック信号と内部クロック信号の位相を比較する。制御回路25は、位相比較回路26の比較結果に基づいて、スイッチ回路22を制御し、スイッチ回路22が選択する遅延段21a（ま

たは21b）の切り替えを行う。

【0039】例えば、第1クロック信号の位相が第2クロック信号の位相より進んでおり、かつ位相比較回路26での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて進んでいることを示しているときには、制御回路25は、現在より後段側の遅延段21a（奇数段目）から出力されるクロック信号を第1クロック信号として出力するように、スイッチ回路22を制御する。同様に、第1クロック信号の位相が第2クロック信号の位相より進んでおり、かつ位相比較回路26での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて遅れていることを示しているときには、制御回路25は、現在より前段側の遅延段21b（偶数段目）から出力されるクロック信号を第2クロック信号として出力するように、スイッチ回路22を制御する。また、第1クロック信号の位相が第2クロック信号の位相より遅れており、かつ位相比較回路26での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて進んでいることを示しているときには、制御回路25は、現在より後段側の遅延段21b（偶数段目）から出力されるクロック信号を第2クロック信号として出力するように、スイッチ回路22を制御する。同様に、第1クロック信号の位相が第2クロック信号の位相より遅れており、かつ位相比較回路26での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて遅れていることを示しているときには、制御回路25は、現在より前段側の遅延段21a（奇数段目）から出力されるクロック信号を第1クロック信号として出力するように、スイッチ回路22を制御する。

【0040】また、制御回路25は、位相比較回路26の比較結果に基づいて、内部クロック信号の位相と基準クロック信号の位相とが一致するように、補間回路24に比率情報を与え、内部クロック信号の位相の微調整を行う。なお、制御回路25は、スイッチ回路22の制御と補間回路24の制御とを別々に行ってもよく、同時に行ってもよい。制御回路25による制御は、内部クロック信号の位相と基準クロック信号の位相とが一致するまで行われる。

【0041】この半導体集積回路では、基準クロック信号と内部クロック信号との位相のずれの最大値（設計時に決められる）に応じて、遅延段21a、21bの接続数が決められる。このため、内部クロック信号と基準クロック信号との位相比較を常に正しく行うことができ、両信号の位相を必ず一致させることができる。遅延回路21は、遅延時間が所定値に固定された遅延段21a、21bを縦続接続することで構成されているため、遅延段に遅延時間を調整するための余分な素子を付加する必要がなく、遅延段のレイアウトサイズを小さくすることができる。この結果、チップサイズを小さくすることができる。

【0042】補間回路 24 を使用して内部クロック信号の位相の微調整が行われるため、微調整の最小単位を小さくすることができる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相調整が行われる。請求項 2 の半導体集積回路では、制御回路 25 は、位相比較の開始時にスイッチ回路 22 を制御し、位相比較回路 26 の比較結果に応じて内部クロック信号の位相を粗調整する。制御回路 25 は、内部クロック信号と基準クロック信号との位相差が遅延段 21 a、21 b の遅延時間以下になった後に、位相比較回路 26 の比較結果に応じて、補間回路 24 に比率情報を与え内部クロック信号の位相を微調整する。内部クロック信号の位相調整を粗調整と微調整とに分けて行うことで、内部クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【0043】請求項 3 の半導体集積回路では、制御回路 25 は、2 進カウンタ 27 のカウント値を前記比率情報として出力する。補間回路 24 は、2 進カウンタ 27 の増加時に、内部クロック信号の位相を第 1 クロック信号側から第 2 クロック信号側に変化させる。内部クロック信号の位相は、第 1 クロック信号の位相が第 2 クロック信号の位相より進んでいるときに、2 進カウンタ 27 の増加に伴い遅くなる。内部クロック信号の位相は、第 1 クロック信号の位相が第 2 クロック信号の位相より遅れているときに、2 進カウンタ 27 の増加に伴い進む。また、補間回路 24 は、2 進カウンタ 27 の減少時に、内部クロック信号の位相を第 2 クロック信号側から第 1 クロック信号側に変化させる。内部クロック信号の位相は、第 1 クロック信号の位相が第 2 クロック信号の位相より進んでいるときに、2 進カウンタ 27 の減少に伴い進む。内部クロック信号の位相は、第 1 クロック信号の位相が第 2 クロック信号の位相より遅れているときに、2 進カウンタ 27 の減少に伴い遅くなる。このため、例えば、2 進カウンタ 27 のカウント値が最大値にある場合に、内部クロック信号の位相を進めるときも、遅らせるときもカウンタ値を減少させればよく、カウンタ値を最小値にリセットする必要はない。したがって、2 進カウンタ 27 の制御を簡単かつ円滑に行うことができる。この結果、制御回路 25 の動作のタイミング余裕を増大することができる。この結果、内部クロック信号にジッタが発生することを防止することができる。

【0044】請求項 4 の半導体集積回路では、制御回路 25 は、粗調整により内部クロック信号と基準クロック信号との位相差が遅延段 21 a、21 b の遅延時間以下になった後に、さらに、2 進カウンタ 27 の上位側の 2 ビットの値を増加または減少する動作を、2 進カウンタ 27 の下位側に向けて順次行い、内部クロック信号の位相の粗調整を行う。このため、粗調整における位相比較の回数を低減することができる。

【0045】請求項 5 の半導体集積回路では、制御回路 25 は、使用していない後段側の遅延段 25 a、25 b の少なくとも一つを非活性化するため、消費電力を低減することができる。

【0046】

【発明の実施の形態】以下、本発明の半導体集積回路の第 1 の実施形態を図面を用いて説明する。この実施形態は、請求項 1 ないし請求項 5 に対応している。この半導体集積回路は、シリコン基板上に、CMOS プロセス技術を使用して、例えば、DDR-SDRAM として形成されている。DDR-SDRAM は、一般の半導体メモリと同様に、メモリコア部および周辺回路部を有している。メモリコア部には、複数のメモリセルを有するメモリセルアレイ、センスアンプ等が形成されている。この DDR-SDRAM は、外部から供給される相補のクロック信号の立ち上がりに同期してメモリセルから読み出したデータ信号の出力を行う機能を有している。

【0047】図 2 は、DDR-SDRAM におけるクロック制御部 30 を示している。クロック制御部 30 は、開始信号発生器 32、クロックバッファ 34 a、34 b、遅延クロック生成部 36、補間回路 38、40、バッファ 42、44、位相比較部 46、ラフ/ファイン制御部 48、ラフ制御部 50、およびファイン制御部 52 を備えて構成されている。

【0048】開始信号発生器 32 は、電源立ち上げ時、セルフリフレッシュモードからの解除時等に、チップ内で発生するリセット信号/RESET の非活性化を受け、所定のタイミングで開始信号 STT を H レベルにする回路である。クロックバッファ 34 a、34 b は、カレントミラー型の差動増幅回路により構成されている。クロックバッファ 34 a、34 b は、クロック信号 CLK、/CLK を受け、それぞれ内部クロック信号 CLK-K、/CLK-K を出力している。クロック信号 CLK、/CLK は、基準クロック信号に対応している。なお、クロック信号 /CLK の“/”の表記は、クロック信号 CLK に対して逆の論理であることを示している。

【0049】遅延クロック生成部 36 は、内部クロック信号 CLK-K、/CLK-K、制御信号 A1、B1、C1、D1、A2、B2、C2、D2 (以下、制御信号 A1-D1、A2-D2 と略す場合もある)、および開始信号 STT を受け、内部クロック信号 ACLK、/ACLK、BCLK、/BCLK を出力している。内部クロック信号 ACLK、/ACLK は、第 1 クロック信号に対応し、内部クロック信号 BCLK、/BCLK は、第 2 クロック信号に対応している。

【0050】補間回路 38 は、内部クロック信号 ACLK、BCLK およびカウンタ信号 CNT3、CNT2、CNT1、CNT0 (以下、カウンタ信号 CNT3-CNT0 と略す場合もある) を受け、内部クロック信号 ACLK、BCLK の間に位相を有する内部クロック信号 ABCLK を出力している。補間回路 40 は、内部クロック信号 ACLK、/BCLK およびカウンタ信号

CNT3-CNT0を受け、内部クロック信号/ACLK、/BCLKの間に位相を有する内部クロック信号/ABCLKを出力している。補間回路は、一般に、インタポレータ (interpolator) とも称されている。

【0051】バッファ42、44は、それぞれ、補間回路38、40から出力される内部クロック信号ABCLK、/ABCLKの信号波形を整え、内部クロック信号CLKI、/CLKIとして出力する回路である。内部クロック信号CLKI、/CLKIは、出力バッファ (図示せず) に供給され、データ信号の出力制御に使用されている。位相比較部46は、開始信号STTおよび内部クロック信号CLK-K、CLKIを受け、内部クロック信号CLK-K、CLKIの位相を比較し比較結果信号COMPと、タイミング信号TIMを出力している。

【0052】ラフ/ファイン制御部48は、比較結果信号COMP、タイミング信号TIM、ファイン制御部52からの最大信号MAX、最小信号MIN、ラフ制御部50からのラフシフト順番信号RSO、ラフシフト方向信号RSD、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。

【0053】ラフ制御部50は、ラフイネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト方向信号RSD、ラフシフト順番信号RSO、および制御信号A1-D1、A2-D2を出力している。ファイン制御部52は、比較結果信号COMP、ファインイネーブル信号FEN、ラフシフト順番信号RSO、および開始信号STTを受け、最大信号MAX、最小信号MIN、およびカウンタ信号CNT3-CNT0を出力している。以降、カウンタ信号CNT3-CNT0の値をカウンタ値と称する場合もある。

【0054】ラフ/ファイン制御部48、ラフ制御部50、ファイン制御部52は、制御回路に対応している。図3は、遅延クロック生成部36の詳細を示している。遅延クロック生成部36は、遅延回路54、遅延段活性化回路56、第1スイッチ回路58、第1シフトレジスタ60、第2スイッチ回路62、および第2シフトレジスタ64を備えている。第1スイッチ回路58および第2スイッチ回路62は、図1に示したスイッチ回路22に対応している。

【0055】遅延回路54は、複数の遅延段D01、D11、D02、D12、D03、...を備えている。初段の遅延段D01は、内部クロック信号CLK-K、/CLK-Kおよびイネーブル信号EN01を受け、内部クロック信号CLK01、/CLK01を出力している。次段の遅延段D02は、内部クロック信号CLK01、/CLK01およびイネーブル信号EN11を受け、内部クロック信号CLK11、/CLK11を出力している。同様に、各遅延段D02、D12、...は、前段から出力される内部クロック信号およびイネーブル信号を受け、遅延した内部クロック信号を次段に出力している。遅延した内部クロック信号は、前段側の遅延段に帰還されることはない。

【0056】遅延段活性化回路56は、第1シフトレジスタ60からイネーブル信号E01、E02、E03、...を受け、第2シフトレジスタ64からイネーブル信号E11、E12、...を受け、遅延回路54にイネーブル信号EN01、EN11、EN02、EN12、...を出力している。第1スイッチ回路58は、遅延回路54の奇数段目の遅延段D01、D02、D03、...から出力される内部クロック信号CLK01、/CLK01、CLK02、/CLK02、CLK03、/CLK03、...のいずれかを、選択信号P01、P02、P03、...に応じて選択し、内部クロック信号ACLK、/ACLKとして出力している。

【0057】第1シフトレジスタ60は、制御信号A1-D1および開始信号STTを受け、イネーブル信号E01、E02、E03、...および選択信号P01、P02、P03、...を出力している。第2スイッチ回路62は、遅延回路54の偶数段目の遅延段D11、D12、...から出力される内部クロック信号CLK11、/CLK11、CLK12、/CLK12、...のいずれかを、選択信号P11、P12、...に応じて選択し、内部クロック信号BCLK、/BCLKとして出力している。

【0058】第2シフトレジスタ64は、制御信号A2-D2および開始信号STTを受け、イネーブル信号E11、E12、...および選択信号P11、P12、...を出力している。なお、後述するように、第1スイッチ回路58および第2スイッチ回路62は、互いに隣接する遅延段から出力される内部クロック信号を選択する。すなわち、第1スイッチ回路58が、遅延段D02からの内部クロック信号CLK02、/CLK02を内部クロック信号ACLK、/ACLKとして選択しているときに、第2スイッチ回路62は、遅延段D11からの内部クロック信号CLK11、/CLK11または遅延段D12からの内部クロック信号CLK12、/CLK12を内部クロック信号BCLK、/BCLKとして選択している。

【0059】図4は、各遅延段D01、D11、...の詳細を示している。遅延段D01、D11、...は、インバータ48aと、2入力のNORゲート48b、48cと、CR時定数回路48d、48eとで構成されている。CR時定数回路48d、48eは、例えば、nMOSトランジスタ (以下、nMOSと称する) のソースとドレインとを接地線VSSに接続したMOS容量CAP1および拡散抵抗R1で構成されている。遅延段D01、D11、...には、他の回路と独立した低電圧の電源線 (図示せず) が接続されている。このため、遅延段D01、D11、...の消費電力は小さく、その出力波形は、電源線VDDが接続される場合より緩やかになる。また、他の回路の影響を受けて、遅延段D01、D11、...の遅延時間が変動することはない。各遅延段D01、D11、...の遅延時間は、CR時定数回路48d、48eに依存して所定の時間に決められている。この実施形態では、各遅延段D01、D11、...は、同一の拡散抵抗R1、同一のMOS容量CAP1が使用されており、その遅延時間は、全て同一にされている。NORゲート48bの入力には、入力信号INとインバータ48aを介してイネーブル信号EN01とが供給されている。NORゲート48aの出力

は、CR時定数回路48dに接続されている。NORゲート48cの入力には、入力信号/INとインバータ48aを介してイネーブル信号ENとが供給されている。NORゲート48bの出力は、CR時定数回路48eに接続されている。CR時定数回路48d、48eからは、出力信号/OUT、OUTが出力されている。遅延段D01、D11、...は、イネーブル信号EN01、EN11、...がHレベルのときに活性化され、受けたクロック信号を所定時間遅延させて出力する回路である。例えば、初段の遅延段D01では、入力信号IN、/INとして内部クロック信号CLK-K、/CLK-Kが供給され、イネーブル信号ENとしてイネーブル信号EN01が供給され、出力信号/OUT、OUTとして内部クロック信号/CLK01、CLK01が出力されている。

【0060】図5は、第1シフトレジスタ60の要部を示している。第1シフトレジスタ60は、図3に示した遅延回路54の奇数段目の遅延段D01、D02、D03、...を制御するための複数の制御回路66を備えている。各制御回路66は、2入力のNORゲート66aと、2入力のNANDゲート66bと、インバータ66cと、nMOS66d、66e、66f、66gとを有している。NORゲート66aの入力には、NANDゲート66bの出力と、隣接する前段側(図の右側)の制御回路66が備えるインバータ66cの出力とが接続されている。NORゲート66aの出力からは、選択信号P01(またはP02、P03、...)が出力されている。NANDゲート66bの入力には、開始信号STTおよびインバータ66cの出力が供給されている。NANDゲート66bの出力は、インバータ66cの入力、NORゲート66aの入力、nMOS66dのドレイン、および隣接する後段側(図の左側)の制御回路が備えるnMOS66gのゲートに接続されている。インバータ66cの出力は、NANDゲート66bの入力、nMOS66fのドレイン、隣接する前段側の制御回路66が備えるnMOS66eのゲート、および隣接する後段側の制御回路66が備えるNORゲート66aの入力に接続されている。このインバータ66cの出力は、イネーブル信号E01(またはE02、E03、...)として出力されている。nMOS66d、66eは、直列に接続されており、nMOS66eのソースは、接地線VSSに接続されている。nMOS66f、66gは、直列に接続されており、nMOS66gのソースは、接地線VSSに接続されている。nMOS66eのゲートには、隣接する後段側の制御回路66が備えるインバータ66cの出力が接続されている。nMOS66gのゲートには、隣接する前段側の制御回路66が備えるNANDゲート66bの出力が接続されている。

【0061】nMOS66d、66fのゲートには、それぞれ制御信号A1、C1、あるいは制御信号B1、D1が接続されている。すなわち、隣接する制御回路66には、交互に制御信号A1、C1、制御信号B1、D1が供給されている。第1シフトレジスタ60の動作については、後述するラフ初期調整のフローチャート(図31のステップS6)と

ともに説明する。

【0062】図6は、第2シフトレジスタ64の要部を示している。第2シフトレジスタ64は、図5に示した第1シフトレジスタ60と同一の回路で構成されている。第2シフトレジスタ64は、図3に示した遅延回路54の偶数段目の遅延段D11、D12、...を制御するための複数の制御回路66を備えている。各制御回路66のNORゲート66aからは、選択信号P11(またはP12、P13、...)が出力されている。制御回路66のインバータ66cからはイネーブル信号EN11(またはEN12、EN13、...)が出力されている。制御回路66のnMOS66d、66fのゲートには、交互に、制御信号A2、C2または制御信号B2、D2が供給されている。

【0063】第2シフトレジスタ64の動作については、後述するラフ初期調整のフローチャート(図31のステップS6)とともに説明する。図7は、第1スイッチ回路58の要部を示している。第1スイッチ回路58は、内部クロック信号ACLKを出力するスイッチ部68と、内部クロック信号/ACLKを出力するスイッチ部70とを備えている。スイッチ部68、70は、それぞれ、pMOSトランジスタ(以下、pMOSと称する)およびnMOSのソース・ドレインを互いに接続したCMOSスイッチ72aと、このCMOSスイッチ72aのpMOSに接続されたインバータ72bとからなる複数のスイッチ72で構成されている。スイッチ部68の各スイッチ72の制御端子には、それぞれ、選択信号P01、P02、P03、...が供給されている。スイッチ部68の各スイッチ72の入力端子には、それぞれ、内部クロック信号CLK01、CLK02、CLK03、...が供給されている。スイッチ部68の各スイッチ72の出力端子は互いに接続され、内部クロック信号ACLKとして出力されている。同様に、スイッチ部70の各スイッチ72の制御端子には、それぞれ、選択信号P01、P02、P03、...が供給されている。スイッチ部70の各スイッチ72の入力端子には、それぞれ、内部クロック信号/CLK01、/CLK02、/CLK03、...が供給されている。スイッチ部68の各スイッチ72の出力端子は互いに接続され、内部クロック信号/ACLKとして出力されている。

【0064】第1スイッチ回路58は、選択信号P01、P02、P03に応じて、奇数段目の遅延段D01、D02、D03、...から出力される内部クロック信号CLK01、/CLK01、CLK02、/CLK02、CLK03、/CLK03、...のいずれかを、内部クロック信号ACLK、/ACLKとして出力する回路である。図8は、第2スイッチ回路62の要部を示している。

【0065】第2スイッチ回路62は、第1スイッチ回路58と同一の回路構成をしている。第2スイッチ回路62は、選択信号P11、P12、P13に応じて、偶数段目の遅延段D11、D12、D13、...から出力される内部クロック信号CLK11、/CLK11、CLK12、/CLK12、CLK13、/CLK13、...

のいずれかを、内部クロック信号BCLK、/BCLKとして出力する回路である。

【0066】図9は、遅延段活性化回路56の要部を示している。遅延段活性化回路56は、2入力NORゲート56a、56b、56c、...を並列に配置して構成されている。NORゲート56aは、イネーブル信号E01、E11を受け、イネーブル信号EN12を出力している。NORゲート56bは、イネーブル信号E11、E02を受け、イネーブル信号EN03を出力している。同様に他のNORゲート56c、56d、...の入力には、第1シフトレジスタ60からのイネーブル信号E02、E03、...および第2シフトレジスタ64からのイネーブル信号E12、E13、...が、順次供給され、NORゲート56c、56d、...からは、イネーブル信号EN13、EN04、...が出力されている。

【0067】図10は、補間回路38、40およびバッファ42、44の詳細を示している。補間回路38、40およびバッファ42、44は、同一の回路であり、補間回路40およびバッファ44で使用する信号を、図中括弧で示している。補間回路38は、内部クロック信号ACLKを受けるスイッチ回路74a、74b、74c、74dと、内部クロック信号BCLKを受けるスイッチ回路76a、76b、76c、76dと、4つのインバータ78と、抵抗R2、R3とを備えている。各スイッチ回路は、クロックドインバータとこのクロックドインバータのpMOSに接続されたインバータとで構成されている。スイッチ回路74a、74b、74c、74dの制御端子には、それぞれ、インバータ78を介してカウンタ信号CNT0、CNT1、CNT2、CNT3が供給されている。スイッチ回路76a、76b、76c、76dの制御端子には、それぞれ、カウンタ信号CNT0、CNT1、CNT2、CNT3が供給されている。各スイッチ回路に記載されている数字は、クロックドインバータのゲート幅の比率を示している。すなわち、スイッチ回路74a、74b、74c、74dのクロックドインバータのオン抵抗は、順次2分の1になっている。同様に、スイッチ回路76a、76b、76c、76dのクロックドインバータのオン抵抗は、順次2分の1になっている。換言すれば、4つのスイッチ回路74a、74b、74c、74d（または76a、76b、76c、76d）により、カウンタ信号CNT3-CNT0の重み付けに応じて変化する可変抵抗が形成されている。抵抗R2、R3には、それぞれ内部クロック信号ACLK、BCLKの変化に伴ってカウンタ信号CNT3-CNT0の重み付けに応じた電流が流れる。そして、抵抗R2、R3の間のノードに、内部クロック信号ACLKの遷移エッジと、内部クロック信号BCLKの遷移エッジとの間に遷移エッジを有する位相の内部クロック信号ABCLKが生成される。

【0068】バッファ42は、直列に接続され両端が電源線VDDおよび接地線VSSに接続された抵抗R4、R5と、抵抗R4、R5の間の電圧と内部クロック信号ABCLKとを受け

る差動増幅回路80aと、差動増幅回路80aからの出力波形を成形し内部クロック信号CLKIとして出力するインバータ80bとを備えている。

【0069】図11は、補間回路38に供給される内部クロック信号ACLK、BCLKの入力波形と、補間回路38から出力される内部クロック信号ABCLKの出力波形を示している。ここで、補間回路38を正常に動作させるために、内部クロック信号ACLK、BCLKには、互いに重なる期間T1が必要である。この実施形態では、遅延段D01、D11、D02、D12、...から出力される緩やかな信号を、図7に示した第1、第2スイッチ回路58、62のスイッチ72を介して選択し、互いに重なる期間T1を有する内部クロック信号ACLK、BCLKを生成している。

【0070】例えば、カウンタ値が“ゼロ”のときには、図10に示した内部クロック信号ACLKが供給されるスイッチ回路74a、74b、74c、74dのみが動作し、内部クロックBCLKが供給されるスイッチ回路76a、76b、76c、76dは動作しない。このため、内部クロック信号ABCLKは、内部クロック信号ACLKとほぼ同一の位相になる（図11(a)）。カウンタ値が10進数で“8”のとき、内部クロック信号ACLKが供給されるスイッチ回路のうち、スイッチ回路74a、74b、74cが動作し、内部クロックBCLKが供給されるスイッチ回路のうち、スイッチ回路76dのみが動作する。このため、内部クロック信号ABCLKは、内部クロック信号ACLK、BCLKのほぼ中央の位相になる。（図11(b)）。同様にして、カウンタ値を変えることで、内部クロック信号ABCLKの位相は、16通りに変更される。

【0071】図12は、位相比較部46の詳細を示している。位相比較部46は、第1分周回路82、第2分周回路84、ダミー出力バッファ86、ダミー入力バッファ88、および位相比較回路90を備えている。第1分周回路82は、内部クロック信号CLK-Kおよび開始信号STTを受け、周波数を分周した参照クロック信号REFCLKを位相比較回路90に出力している。第2分周回路84は、内部クロック信号CLKIおよび開始信号SITを受け、周波数を分周したクロック信号を出力している。第2分周回路84により分周されたクロック信号は、ダミー出力バッファ86、ダミー入力バッファ88に伝達され、内部クロック信号DICLKとして位相比較回路90に出力されている。

【0072】位相比較回路90は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、比較結果信号COMPおよびタイミング信号TIMを出力する回路である。図13は、第1分周回路82および第2分周回路84を示している。第1分周回路82および第2分周回路84は、2つの分周器92を直列に接続して構成されており、クロック信号の周波数を4分の1分周する回路である。

【0073】第1分周回路82は、内部クロック信号CL

K-Kを前段の分周器92の入力端子INで受け、参照クロック信号REFCLKを後段の分周器92の出力端子OUTから出力している。前段の分周器92の出力端子OUTは、後段の分周器92の入力端子INに接続されている。制御端子STT1と後段の分周器92の制御端子STT2には、開始信号STTが供給されており、前段の分周器92の制御端子STT2と後段の分周器92の制御端子STT1には、電源線VDDが接続されている。

【0074】第2分周回路84は、内部クロック信号CLKIを前段の分周器92の入力端子INで受け、内部クロック信号DICKを後段の分周器92の出力端子OUTから出力している。前段の分周器92の出力端子OUTは、後段の分周器92の入力端子INに接続されている。各分周器92の制御端子STT1には、開始信号STTが供給されており、制御端子STT2には、電源線VDDが接続されている。

【0075】図14は、分周器92の詳細を示している。分周器92は、3入力 NANDゲート92a、92bからなる第1ラッチ94と、入力端子から供給されるクロック信号の立ち上がりに同期して第1ラッチ回路の状態を第2ラッチ98に伝達する4入力 NANDゲート92c、92dと、3入力 NANDゲート92e、92fからなる第2ラッチ96と、入力端子から供給されるクロック信号の立ち下がりに同期して第2ラッチ96の状態を第1ラッチ94に伝達する2入力 NANDゲート92g、92hと、NANDゲート92g、92hにクロック信号の反転論理を供給するインバータ92iと、分周したクロック信号の出力を制御する直列に接続されたpMOS92jおよびnMOS92k、92lと、2入力 NANDゲート92m、92nからなる出力ラッチ98と、インバータ92o、92p、92qからなる出力回路100とで構成されている。

【0076】NANDゲート92aの出力(ノードN2)は、NANDゲート92b、92cの入力に接続されている。NANDゲート92bの出力(ノードN3)は、NANDゲート92a、92dの入力およびnMOS92kのゲートに接続されている。NANDゲート92cの出力(ノードN0)は、NANDゲート92eの入力およびpMOS92jのゲートに接続されている。NANDゲート92dの出力(ノードN1)は、NANDゲート92fの入力に接続されている。NANDゲート92eの出力(ノードN7)は、NANDゲート92f、92gの入力に接続されている。NANDゲート92fの出力(ノードN8)は、NANDゲート92e、92hの入力に接続されている。NANDゲート92gの出力(ノードN5)は、NANDゲート92bの入力に接続されている。NANDゲート92hの出力(ノードN6)は、NANDゲート92aの入力に接続されている。インバータ92iの出力(ノードN4)は、NANDゲート92g、92hの入力に接続されている。NANDゲート92mの出力は、NANDゲート92nの入力に接続されている。NANDゲート92nの出力は、NANDゲート92mの入力、トランジスタ92j、92kのドレインに接続されている。

また、NANDゲート92nの出力は、インバータ92o、92pを介して出力信号OUT1として、インバータ92qを介して出力信号/OUT2として出力されている。

【0077】入力端子INは、NANDゲート92c、92d、インバータ92i、nMOS92lのゲートに接続されている。制御端子STT1は、NANDゲート92b、92c、92e、92mに接続されている。制御端子STT2は、NANDゲート92a、92c、92f、92nに接続されている。トランジスタ92j、92lのソースは、それぞれ、電源線VDD、接地線VSSに接続されている。

【0078】図15および図16は、分周器92の基本的動作を示している。図15は、制御端子STT2がHレベルに固定されたときの動作を示している。初期状態においては、図14に示したNANDゲート92dおよびインバータ92iは、活性化されており、入力端子INから供給されるクロック信号がノードN1、N4に伝達されている。制御端子STT1にHレベルが供給されることでNANDゲート92d、92fが活性化され、クロック信号の立ち上がりに同期してノードN1がLレベルになる。ノードN1のLレベルにより、ノードN8はHレベルになり、ノードN7はLレベルになる(図15(a))。

【0079】ノードN8のHレベルによりNANDゲート92hが活性化され、クロック信号の立ち下がりに同期してノードN6がLレベルになる。ノードN6のLレベルにより、ノードN2がHレベルになり、ノードN3がLレベルになる(図15(b))。ノードN2のHレベルによりNANDゲート92cが活性化され、クロック信号の立ち上がりに同期してノードN0がLレベルになる。ノードN0のLレベルにより、ノードN7がHレベルになり、ノードN8がLレベルになる(図15(c))。

【0080】また、ノードN0のLレベルにより、トランジスタ92jがオンし、ノードN9がHレベルになる(図15(d))。ノードN7のHレベルによりNANDゲート92gが活性化され、クロック信号の立ち下がりに同期してノードN5がLレベルになる。ノードN5のLレベルにより、ノードN3がHレベルになり、ノードN2がLレベルになる(図15(e))。

【0081】この後、上述した動作が繰り返され、出力ノードであるノードN9には、供給されたクロック信号の周波数を2分の1分周したクロック信号が生成される。図16は、制御端子STT1がHレベルに固定されたときの動作を示している。初期状態においては、図14に示したNANDゲート92dおよびインバータ92iは、活性化されており、入力端子INから供給されるクロック信号がノードN4、N6に伝達されている。制御端子STT2にHレベルが供給されることでNANDゲート92cが活性化され、クロック信号の立ち上がりに同期してノードN0がLレベルになる。ノードN0のLレベルにより、ノードN7はLレベルになり、ノードN8はHレベルになる(図16(a))。

(a)。

【0082】ノードN8のHレベルによりNANDゲート92gが活性化され、クロック信号の立ち下がりにより同期してノードN5がLレベルになる。ノードN5のLレベルにより、ノードN3がHレベルになり、ノードN2がLレベルになる(図16(b))。ノードN3のHレベルによりトランジスタ92kがオンする。ノードN3のHレベルによりNANDゲート92dが活性化され、クロック信号の立ち上がりにより同期してノードN1がLレベルになる。ノードN1のLレベルにより、ノードN8がHレベルになり、ノードN7がLレベルになる(図16(c))。

【0083】また、クロック信号の立ち上がりにより同期してトランジスタ92lがオンし、ノードN9はLレベルになる(図16(d))。ノードN8のHレベルによりNANDゲート92hが活性化され、クロック信号の立ち下がりにより同期してノードN6がLレベルになる。ノードN6のLレベルにより、ノードN2がHレベルになり、ノードN3がLレベルになる(図16(e))。

【0084】この後、上述した動作が繰り返され、供給されたクロック信号の周波数を2分の1分周したクロック信号が出力ノードであるノードN9に生成される。上述したように、制御信号STT1を制御することで、立ち上がりから始まる分周信号が生成され、制御信号STT2を制御することで、立ち下がりから始まる分周信号が生成される。

【0085】図17は、位相比較回路90の詳細を示している。位相比較回路90は、パルス発生回路102と、フリップフロップ104、106と、タイミング生成回路108とを備えている。パルス発生回路102は、内部クロック信号DICLK、参照クロック信号REFCLKを受ける2入力のNANDゲート102aと、NANDゲート102aの出力に接続された遅延回路102bと、NANDゲート102aの出力および遅延回路102bの出力を受ける2入力のNORゲート102cとで構成されている。遅延回路102bは、3つのインバータの間にMOS容量を接続して構成されている。パルス発生回路102は、内部クロック信号DICLKと参照クロック信号REFCLKとともにHレベルになったときに、Hパルスを発生する回路である。

【0086】フリップフロップ104は、2入力のNANDゲート104a、104bの出力を互いに帰還させて構成されている。NANDゲート104a、104bの入力には、内部クロック信号DICLK、参照クロック信号REFCLKが供給されている。フリップフロップ104は、クロック信号DICLK、REFCLKのうち、早く立ち上がった側の出力をLレベルにする回路である。

【0087】フリップフロップ106は、出力を互いに帰還させた2入力のNANDゲート106a、106bと、NANDゲート106a、106bの入力に接続された2入力のNANDゲート106c、106dとで構成されている。

NANDゲート106c、106dの一方の入力には、パルス発生回路102の出力が接続されている。NANDゲート106c、106dの他方の入力には、それぞれNANDゲート104a、104bの出力が接続されている。NANDゲート106bの出力からは、比較結果信号COMPが出力されている。フリップフロップ106は、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいるときに比較結果信号COMPをHレベルにし、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れているときに比較結果信号COMPをLレベルにする回路である。

【0088】タイミング生成回路108は、NANDゲートとインバータとからなる遅延回路108aと、参照クロック信号REFCLKと遅延回路108aとを受ける2入力のNANDゲート108bと、NANDゲート108bの出力に直列に接続されたインバータ108c、108dとで構成されている。インバータ108dの出力からは、タイミング信号TIMが出力されている。タイミング生成回路108は、参照クロック信号REFCLKの立ち上がりから遅延回路108の遅延時間だけ遅れて立ち上がるタイミング信号TIMを生成する回路である。

【0089】図18は、ラフ/ファイン制御部48の詳細を示している。ラフ/ファイン制御部48は、NANDゲートおよびインバータで構成されラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する組み合わせ回路110と、ラフシフト方向信号RSDの情報を保持するシフト方向保持回路112と、EOR回路114と、ラフロックオン信号RLONを出力するロックオン生成回路116とを備えている。

【0090】組み合わせ回路110は、図19に示す制御状態図にしたがい、ラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する回路である。例えば、組み合わせ回路110は、ラフロックオン信号RLONがLレベルのときに、タイミング信号TIMに同期してファインイネーブル信号FENを活性化する。組み合わせ回路110は、ラフロックオン信号RLON、ラフシフト方向信号RSD、最大信号MAX、比較結果信号COMPとともにHレベルのときには、タイミング信号TIMに同期してラフイネーブル信号RENを活性化する。

【0091】シフト方向保持回路112は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ112a、112bと、2つのインバータの入力と出力とを互いに接続したラッチ112c、112dとを交互に直列に接続した保持部と、CMOSスイッチ112a、112bを制御するインバータ112eとを備えている。CMOSスイッチ112a、112bは、タイミング信号TIMにより制御されている。シフト方向保持回路112は、タイミング信号TIMの立ち上がりにより同期してラフシフト方向信号RSDを取り込み、保持する回路である。

【0092】EOR回路114は、現在のラフシフト方向

信号RSDとシフト方向保持回路112から出力される1クロック前のラフシフト方向信号RSDとの状態を比較する回路である。ロックオン生成回路116は、2つの2入力のNORゲート116a、116bの出力を互いに帰還したフリップフロップと、NORゲート116bの入口に接続されたインバータ列116cと、NORゲート116bの出力に接続されたインバータ列116dとで構成されている。NORゲート116aの入力には、EOR回路114の出力が接続され、インバータ列116cの入力には、2つのインバータを介して開始信号STTが供給されている。インバータ列116dの出力からはラフロックオン信号RLONが出力されている。

【0093】図20は、ラフ制御部50の詳細を示している。ラフ制御部50は、ラフコントロール118と、ラフシフトラッチ120と、シフト方向ラッチ122と、レジスタ選択スイッチ124とで構成されている。ラフコントロール118は、ラフロックオン信号RLON、ラフシフト順番信号RSO、ラファイネーブル信号REN、比較結果信号COMP、最大信号MAX、最小信号MINを受け、第1、第2シフトレジスタ60、64のシフト動作時にHパルスを発生するシフト通知信号SINF、第1、第2シフトレジスタ60、64のシフト制御する元の信号の制御信号A、B、C、Dを出力している。

【0094】ラフシフトラッチ120は、開始信号STTおよびシフト通知信号SINFを受け、ラフシフト順番信号RSOを出力している。シフト方向ラッチ122は、開始信号STTおよび制御信号A、B、C、Dを受け、ラフシフト方向信号RSDを出力している。レジスタ選択スイッチ124は、ラフシフト順番信号RSOのレベルに応じて、制御信号A、B、C、Dを制御信号A1、B1、C1、D1または制御信号A2、B2、C2、D2として出力している。

【0095】図21は、ラフコントロール118の詳細を示している。ラフコントロール118は、NANDゲートおよびインバータで構成された組み合わせ回路126と、分周回路128と、制御信号A、B、C、Dを生成する制御回路130と、制御信号A、B、C、DのいずれかのHレベルを受けてシフト通知信号SINFを生成する4入力のOR回路132とで構成されている。

【0096】組み合わせ回路126は、図22に示す制御状態図にしたがい、進み信号FWまたは遅れ信号BWを活性化する回路である。例えば、組み合わせ回路126は、ラフロックオン信号RLON、比較結果信号COMPがともにLレベルのときに、進み信号FWを活性化する。組み合わせ回路126は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPがともにHレベルのときに、遅れ信号BWを活性化する。組み合わせ回路126は、ラフロックオン信号RLON、ラフシフト順番信号RSOがHレベル、最大信号MAX、最小信号MINがLレベルのときには、進み信号FW、遅れ信号BWをともに非活性化する。

【0097】分周回路128は、8つの2入力のNANDゲート組み合わせたフリップフロップ回路を、2段縦続接続して構成されている。分周回路128は、ラファイネーブル信号RENの周波数を2分の1分周し、ラファイネーブル信号RENと同じH期間のパルス信号をノードN10とノードN11とに交互に出力する回路である。制御回路130は、2入力のNANDゲートと3つのインバータを縦続接続したAND回路130a、130b、130c、130dを備えている。AND回路130aは、ノードN10のパルス信号と遅れ信号BWを受け、制御信号Dを出力している。AND回路130bは、ノードN11のパルス信号と遅れ信号BWを受け、制御信号Cを出力している。AND回路130cは、ノードN10のパルス信号と進み信号FWを受け、制御信号Bを出力している。AND回路130dは、ノードN11のパルス信号と進み信号FWを受け、制御信号Aを出力している。

【0098】図23は、ラフコントロール118の動作タイミングの概要を示している。まず、ラファイネーブル信号RENがLレベルを保持している場合について説明する。図21に示したラフコントロール118の分周回路128は、ラファイネーブル信号RENのLレベルを受けて、ノードN10、N11をLレベルにする(図23(a))。制御回路130は、ノードN10、N11をLレベルを受けて、制御信号A、B、C、DをLレベルにする(図23(b))。すなわち、ラファイネーブル信号RENがLレベルのときには、進み信号FW、遅れ信号BWのレベルによらず、制御信号A、B、C、DはLレベルになる。

【0099】次に、ラファイネーブル信号RENがクロックパルスを発生している場合について説明する。分周回路128は、ラファイネーブル信号RENの2分の1分周したクロック信号をノードN10、N11に交互に出力する(図23(c))。制御回路130は、ノードN10、N11のクロック信号および組み合わせ回路126からの進み信号FW、遅れ信号BWのレベルに応じて、Hパルスの制御信号A、B、C、Dを出力する。すなわち、制御回路130は、進み信号FWがHレベル、遅れ信号BWがLレベルのときに、ノードN11のクロック信号に同期して制御信号AをHレベルにし、ノードN10のクロック信号に同期して制御信号BをHレベルにする(図23(d))。制御回路130は、進み信号FWがLレベル、遅れ信号BWがHレベルのときに、ノードN11のクロック信号に同期して制御信号CをHレベルにし、ノードN10のクロック信号に同期して制御信号DをHレベルにする(図23(e))。

【0100】OR回路132は、制御信号A、B、C、DのHレベルを受けて、シフト通知信号SINFをHレベルにする(図23(f))。図24は、ラフシフトラッチ120の詳細を示している。ラフシフトラッチ120は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ120a、120bと、インバータと2入力のNANDゲートの入力と出力とを互いに接続したラッチ120

c、120dとを交互に直列に接続した保持部と、CMOSスイッチ120a、120bを制御するインバータ120eと、保持部の出力を入力に帰還するためのインバータ120fと、2入力のNANDゲートを制御するインバータ列120gとを備えている。保持部の出力からは、ラフシフト順番信号RSOが出力されている。CMOSスイッチ120a、120bは、シフト通知信号SINFにより制御されている。インバータ列120gの入力には、開始信号STTが供給されている。ラフシフトラッチ120は、シフト通知信号SINFの立ち上がり同期してラフシフト順番信号RSOを交互にHレベル、Lレベルにする回路である。

【0101】図25は、シフト方向ラッチ122の詳細を示している。シフト方向ラッチ122は、2入力のNANDゲート122a、122bの出力を互いに帰還させたフリップフロップ回路と、そのフリップフロップ回路の各入力にそれぞれ接続された2入力のNORゲート122c、122dとで構成されている。NORゲート122cの入力には、制御信号C、Dが供給されている。NORゲート122dの入力には、制御信号A、Bが供給されている。NORゲート122bの出力からは、ラフシフト方向信号RSDが出力されている。シフト方向ラッチ122は、制御信号C、DがHレベルになったときに、ラフシフト方向信号RSDをLレベルにし、制御信号A、BがHレベルになったときに、ラフシフト方向信号RSDをHレベルにする回路である。

【0102】図26は、レジスタ選択スイッチ124の詳細を示している。レジスタ選択スイッチ124は、2入力のNANDゲートとインバータとからなる8つのAND回路と、インバータとで構成されている。レジスタ選択スイッチ124は、ラフシフト順番信号RSOがHレベルのときに、制御信号A、B、C、Dを制御信号A1、B1、C1、D1として出力し、ラフシフト順番信号RSOがLレベルのときに、制御信号A、B、C、Dを制御信号A2、B2、C2、D2として出力する回路である。

【0103】図27は、ファイン制御部52を示している。ファイン制御部52は、ファインコントロール134、2進カウンタ136、最大最小検出器138を備えている。ファインコントロール134は、ラフシフト順番信号RSO、比較結果信号COMP、およびファインイネーブル信号FENを受け、カウントアップ信号UPおよびカウントダウン信号DOWNを出力している。

【0104】2進カウンタ136は、カウントアップ信号UPを受けたときに、内蔵のカウントを増加させ、カウントダウン信号DOWNを受けたときに、内蔵のカウントを減少させる。2進カウンタ136は、4ビットカウンタとして構成されており、各ビットの値を、カウント信号CNT3-CNT0として出力している。ここで、カウント信号CNT3が上位ビットに対応している。

【0105】最大最小検出器138は、カウンタ値が最

大（全てのビットがHレベル）になったときに最大信号MAXを出力し、カウンタ値が最小（ゼロ）になったときに最小信号MINを出力する回路である。図28は、ファインコントロール134の詳細を示している。ファインコントロール134は、NANDゲートおよびインバータで構成された組み合わせ回路を備えている。ファインコントロール134は、図29に示す制御状態図にしたがい、カウントアップ信号UPおよびカウントダウン信号DOWNを出力する回路である。例えば、カウントアップ信号UPおよびカウントダウン信号DOWNは、ファインイネーブル信号FENがLレベルのときにともに非活性化される。カウントアップ信号UPは、ファインイネーブル信号FENがHレベル、ラフシフト順番信号RSO、比較結果信号COMPがHレベルのときに、およびファインイネーブル信号FENがHレベル、ラフシフト順番信号RSO、比較結果信号COMPがLレベルのときに活性化される。カウントダウン信号DOWNは、ファインイネーブル信号FEN、ラフシフト順番信号RSOがHレベル、比較結果信号COMPがLレベルのときに、およびファインイネーブル信号FEN、比較結果信号COMPがHレベル、ラフシフト順番信号RSOがLレベルのときに活性化される。

【0106】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。図30は、上述した各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始され、初期設定（図31）の後、ラフ初期調整（図31）、ファイン初期調整（図32、33）、ラフ/ファイン調整（図34、35）が順次行われる。ラフ初期調整、ファイン初期調整は、粗調整に対応し、ラフ/ファイン調整は微調整に対応している。

【0107】(a) 初期設定（図31）
まず、ステップS1において、図2および図3に示した、開始信号STTが供給されている遅延クロック生成部36の第1、第2シフトレジスタ60、64、ラフ/ファイン制御部48、ラフ制御部50のラフシフトラッチ120、ファイン制御部52の2進カウンタ136、位相比較部46の第1、第2分周回路82、84の初期化が行われる。

【0108】図36は、開始信号発生器32の動作を示している。開始信号発生器32は、リセット信号/RESETの非活性化を受けた後、内部クロック信号CLK-Kの立ち下がり同期して開始信号STTをHレベルにする。このため、位相比較の開始時に、遅延クロック生成部36、位相比較部46等は、互いに同期して動作を開始し、常に所定の状態から位相比較が開始される。また、例えば、第1分周回路82において、内部クロック信号CLK-KのHレベル期間が開始信号STTによりマスクされ、ハザードとなることが防止され、位相比較の開始時に誤動作することが防止される。

【0109】リセット信号/RESETの非活性化は、半導体集積回路が内蔵するモードレジスタからのDLL開始信号、DLLリセット解除信号、電源立ち上げ完了の検出信号等を受けて行われる。第1シフトレジスタ60(図5)および第2シフトレジスタ(図6)は、開始信号STTのHレベルを受けて活性化され、それぞれ、制御信号A1、B1、C1、D1および制御信号A2、B2、C2、D2を受け付け可能になる。ファイン制御部52の2進カウンタ136(図2.7)は、開始信号STTのHレベルを受け、カウンタを中央の値C(3:0)=(1,0,0,0)に設定する。

【0110】ラフ/ファイン制御部48(図1.8)は、初期化により、ラフロックオン信号RLONをLレベルにする。ラフシフトラッチ120は、初期化により、ラフシフト順番信号RS0をLレベルにする。第1、第2分周回路82、84(図1.3)は、開始信号STTのHレベルを受けて、各分周器92を活性化する。

【0111】図3.7は、位相比較部46での各クロック信号のタイミングを示している。第1分周回路82は、内部クロック信号CLK-Kを受けた後、5クロックで参照クロック信号REFCLKの出力を開始する。第2分周回路84は、内部クロック信号CLKIを受けた後、3クロックで分周した信号を出力する。図3.7では、遅延クロック生成部36での遅延時間の設定が最小の場合を示している。第2分周回路84の出力した信号は、ダミー出力バッファ86およびダミー入力バッファ88に供給され、遅延時間T5だけ遅れた内部クロック信号DICKが生成される。そして、参照クロック信号REFCLKと内部クロック信号DICKとの位相が比較される。

【0112】第1、第2分周回路82、84の動作を開始信号STTに同期して行うことで、常に、所定の位相差を有する状態で位相調整が開始される。次に、ステップS2において、遅延段の初期設定が行われる。図2に示した遅延クロック生成部36は、例えば、遅延段D13から出力する内部クロック信号CLK13、/CLK13を使用して、内部クロック信号BCLK、/BCLKを生成し、遅延段D03から出力する内部クロック信号CLK03、/CLK03を使用して、内部クロック信号ACLK、/ACLKを生成する。遅延段の初期設定は、ラフシフト順番信号RS0の初期値(Lレベル)に合わせて行われる。ここで、ラフシフト順番信号RS0のLレベルは、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より遅いことを示している。特に回路として図示していないが、遅延段の初期設定は、制御信号A1-D1、A2-D2を制御して行ってもよく、初期回路を設けて、強制的に、第1、第2シフトレジスタ60、62の値を設定してもよい。

【0113】(b)ラフ初期設定(図3.1) まず、ステップS3において、図1.2に示した位相比較回路90は、参照クロック信号REFCLKと内部クロック信号DICKとの位相を比較する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より進んでいる場

合には、比較結果信号COMPはHレベルにされる。比較結果信号COMPのHレベルにより、この後、内部クロック信号DICKを遅らせる制御が行われる。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合には、比較結果信号COMPはLレベルにされる。比較結果信号COMPのLレベルにより、この後、内部クロック信号DICKの位相を進める制御が行われる。

【0114】ステップS4において、図1.8に示したラフ/ファイン制御部48は、EOR回路114を使用し、て、シフト方向保持回路112に保持されている情報(前回のシフト方向)と、現在のシフト方向とが一致しているかを比較する。ステップS5において、シフト方向の比較結果が一致している(シフト方向が同じ)場合、制御はステップS6に移行する。比較結果が不一致(シフト方向が変化)の場合、内部クロック信号DICKの位相が参照クロック信号REFCLKの位相に近づいたと判断し、ラフ初期調整を完了するため、制御はステップS9に移行する。ラフ初期調整の完了の判断は、簡易なラッチ回路(シフト方向保持回路112)で容易に行われるため、回路規模が低減される。

【0115】ラフ/ファイン制御部48のEOR回路114は、比較結果が不一致の場合、Hレベルを出力する。なお、位相調整開始直後には、正しい比較ができないため、制御は、強制的にステップS6に移行する。ステップS6において、図2.1に示したラフコントロール118は、遅延段を切り替える制御を行う。遅延段の制御は、図2.2に示した制御状態図および図2.3に示したタイミング図にしたがって行われる。ラフ初期調整時、ラフロックオン信号RLONはLレベルになっている。このため、ラフコントロール118は、比較結果信号COMPがLレベルのときに、進み信号FWをHレベルにし、制御信号A、BをHレベルにする。ラフコントロール118は、比較結果信号COMPがHレベルのときに、遅れ信号BWをHレベルにし、制御信号C、DをHレベルにする。

【0116】図2.6に示したシフトレジスタ選択回路124は、ラフシフト順番信号RS0がLレベルのとき、制御信号A、B、C、Dを制御信号A1、B1、C2、D2として出力し、ラフシフト順番信号RS0がHレベルのとき、制御信号A、B、C、Dを制御信号A2、B2、C1、D1として出力する。図3.8(a)は、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より進んでいる場合のこれ等信号の切り替え制御の概要を示している。

【0117】位相比較の結果、比較結果信号COMPがHレベルになったときには、内部クロック信号ACLKをACLK'に変更して位相を進める制御が行われる。すなわち、進み信号BWがHレベルにされ、制御信号C、DがHレベルにされ、ラフシフト順番信号RS0のHレベルにより、制御信号C1、D1がHレベルにされる。図5に示した第1シフトレジスタ60は、制御信号C1、D1を受けて選択信号P03をLレベルにし、選択信号P04をHレベルにし、イネー

ブル信号E03をLレベルにする。すなわち、制御信号D1のHレベルにより、選択信号P03を出力している制御回路66のインバータ66cの出力ノードが強制的にLレベルになり、イネーブル信号E03がHレベルからLレベルになる。このLレベルによりNANDゲート66bの出力がHレベルになり、選択信号P03がLレベルになり、隣接する制御回路66（図の左側）のNORゲート66aの出力（選択信号P04）がHレベルになる。

【0118】イネーブル信号E03のLレベルにより、図9に示した遅延段活性化回路56は、イネーブル信号EN04をLレベルからHレベルにする。選択信号P04のHレベルにより、図7に示した第1スイッチ回路58が切り替わり、遅延段D04の出力を使用して新たな内部クロック信号ACLK'が生成される。ここで、位相を遅らせる場合、偶数番号の選択信号（P04等）の活性化は、制御信号D1がHレベルになることで行われる。同様に、奇数番号の選択信号（P03等）の活性化は、制御信号C1がHレベルになることで行われる。

【0119】一方、位相比較の結果、比較結果信号COMPがLレベルになったときには、内部クロック信号BCLKをBCLK'に変更して位相を遅らせる制御が行われる。すなわち、進み信号FWがHレベルにされ、制御信号A、BがHレベルにされ、ラフシフト順番信号RS0のHレベルにより、制御信号A2、B2がHレベルにされる。図6に示した第2シフトレジスタ64は、制御信号A2、B2を受けて選択信号P13をLレベルにし、選択信号P12をHレベルにし、イネーブル信号E12をHレベルにする。すなわち、制御信号A2のHレベルにより、選択信号P12を出力している制御回路66のNANDゲート66bの出力ノードが強制的にLレベルになり、選択信号P12がLレベルからHレベルになる。インバータ66cの出力がHレベルになることで、イネーブル信号E12がLレベルからHレベルになり、隣接する制御回路66（図の左側）のNORゲート66aの出力（選択信号P13）がLレベルになる。

【0120】イネーブル信号E12のHレベルにより、図9に示した遅延段活性化回路56は、イネーブル信号EN13をHレベルからLレベルにする。イネーブル信号EN13のLレベルを受けて、遅延段D13が非活性化される。選択信号P12のHレベルにより、図8に示した第2スイッチ回路62が切り替わり、遅延段D12の出力を使用して新たな内部クロック信号BCLK'が生成される。

【0121】ここで、位相を進める場合、偶数番号の選択信号（P12等）の活性化は、制御信号A2がHレベルになることで行われる。同様に、奇数番号の選択信号（P13等）の活性化は、制御信号B2がHレベルになることで行われる。図38（b）は、ラフ初期調整時における内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より遅れている場合のこれ等信号の切り替え制御の概要を示している。

【0122】上述した初期設定後には、図38（a）に

示したように、内部クロック信号BCLK、ACLKは、それぞれ遅延段D11、D02の出力を使用して生成されている。位相比較の結果、比較結果信号COMPがHレベルになったときには、内部クロック信号BCLKをBCLK'に変更する制御が行われる。すなわち、進み信号BWがHレベルにされ、制御信号C、DがHレベルにされ、ラフシフト順番信号RS0のLレベルにより、制御信号C2、D2がHレベルにされる。そして、上述した図38（a）の説明と同様に、第2シフトレジスタ64が動作し、第2スイッチ回路62が切り替わり、遅延段D13の出力を使用して新たな内部クロック信号BCLK'が生成される。

【0123】一方、位相比較の結果、比較結果信号COMPがLレベルになったときには、内部クロック信号ACLKをACLK'に変更する制御が行われる。すなわち、進み信号FWがHレベルにされ、制御信号A、BがHレベルにされ、ラフシフト順番信号RS0のLレベルにより、制御信号A1、B1がHレベルにされる。そして、上述した図38（a）の説明と同様に、第1シフトレジスタ60が動作し、第1スイッチ回路58が切り替わり、遅延段D02の出力を使用して新たな内部クロック信号ACLK'が生成される。

【0124】なお、遅延段の切り替えにより、シフト方向が逆向きになったときに、図25に示したシフト方向ラッチ122は、ラフシフト方向信号RSDのレベルを反転する。図39は、内部クロック信号ACLK、BCLKの切り替えによる内部クロック信号CLKIの変化を示している。図39（a）は、2進カウンタ136の初期値を本実施形態で採用した中央の“8”にした場合、図39（b）は、2進カウンタ136の初期値を中央からずれた“4”にした場合を示している。

【0125】図10に示した補間回路38、40は、カウンタ値が最小（ゼロ）のときに、内部クロック信号ACLKを内部クロック信号CLKIとして出力し、カウンタ値が最大（10進数の15）のときに、内部クロック信号BCLKを内部クロック信号CLKIとして出力する。このため、カウンタ値の増加により、内部クロック信号CLKIの位相は、常に奇数段目の遅延段D01、D02、D03から偶数段目の遅延段D11、D12に向けて変化する。したがって、カウンタ値を中央の値に設定した場合には、図39（a）に示すように、内部クロック信号CLKIの位相は、遅延段の切り替え時に均等に変化する。このため、ラフ初期調整後のファイン初期調整において、補間回路38、40による位相調整の範囲が所定内にされ、位相比較回数を低減することが可能になる。一方、カウンタ値を中央の値からずらした場合には、図39（b）に示すように、内部クロック信号CLKIの位相は、遅延段の切り替え時に均等に变化しなくなる。このため、ファイン初期調整において、位相比較回数が増大する。

【0126】ステップS7において、図24に示したラフシフトラッチ120は、ラフコントロール118から

出力されるシフト通知信号SINFを受けて、ラフシフト順番信号RS0を反転して、内部クロック信号ACLK、BCLKの位相が逆転したことを各回路に伝達する。

【0127】ステップS8において、図18に示したラフ/ファイン制御部48のシフト方向保持回路112は、現在のラフシフト方向信号RSDの値を保持する。その後、制御は、再びステップS3に移行する。一方、ステップS9において、ラフ/ファイン制御部48のシフト方向保持回路112は、現在のラフシフト方向信号RS0の値を保持する。

【0128】次に、ステップS10において、ラフ/ファイン制御部48のロックオン生成回路116は、EOR回路114から出力されるHレベルを受けて、ラフロックオン信号RLONをHレベルにする。以上でラフ初期調整が完了し、この後、ファイン初期調整が行われる。

(c) ファイン初期調整 (図32、33)
まず、ステップS12において、ラフシフト順番信号RS0のレベルにより制御が分かれる。ラフシフト順番信号RS0がHレベルの場合、制御はステップS13に移行する。ラフシフト順番信号RS0がLレベルの場合、制御はステップS22に移行する。すなわち、ステップS13～S21は、内部クロック信号ACLKの位相が内部クロック信号BCLKより進んでいる場合に行われるファイン初期調整である。ステップS22～S30は、内部クロック信号ACLKの位相が内部クロック信号BCLKより遅れている場合に行われるファイン初期調整である。

【0129】ステップS13において、図12に示した位相比較回路90は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップS14に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップS15に移行する。

【0130】ステップS14において、2進カウンタの上位2ビットCNT3、CNT2の値が“-1”され、カウント値が10進数の“4”にされる。ステップS15において、2進カウンタの上位2ビットCNT3、CNT2の値が“+1”され、カウント値が10進数の“12”にされる。同様に、ステップS16～S18、ステップS19～S21において、位相の比較結果に応じて2進カウンタの次の上位2ビットの値が“-1”または“+1”される。

【0131】一方、ステップS22において、図12に示した位相比較回路90は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップS23に移行する。内部ク

ロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップS24に移行する。

【0132】ステップS23において、2進カウンタの上位2ビットCNT3、CNT2の値が“+1”され、カウント値が10進数の“12”にされる。ステップS24において、2進カウンタの上位2ビットCNT3、CNT2の値が“-1”され、カウント値が10進数の“4”にされる。同様に、ステップS25～S27、ステップS28～S30において、位相の比較結果に応じて2進カウンタの次の上位2ビットの値が“+1”または“-1”される。

【0133】図40(a)は、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より早進んでいる場合のファイン初期調整の概要を示している。2進カウンタ136のカウント値は、位相比較回路90での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。

【0134】図40(b)は、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より遅れている場合のファイン初期調整の概要を示している。2進カウンタ136のカウント値は、図40(a)と同様に、位相比較回路90での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。

【0135】このように、内部クロック信号ABCLKの位相をとびとびに変化させるため、ファイン初期調整での位相比較回数が最小限になる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整が早く行われる。ステップS20、S21またはステップS29、S30を実行した後、制御は、ラフ/ファイン調整に移行する。

【0136】(c) ラフ/ファイン調整 (図34、35)
まず、ステップS32において、ラフシフト順番信号RS0のレベルが比較される。ラフシフト順番信号RS0がHレベルの場合、制御はステップS33に移行する。ラフシフト順番信号RS0がLレベルの場合、制御はステップS44に移行する。すなわち、ステップS33～S43は、内部クロック信号ACLKの位相が内部クロック信号BCLKより進んでいる場合に行われるラフ/ファイン調整の制御フローである。ステップS44～S55は、内部クロック信号ACLKの位相が内部クロック信号BCLKより遅れている場合に行われるラフ/ファイン調整の制御フローである。

【0137】ステップS33において、図12に示した位相比較回路90は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅

れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップS34に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップS35に移行する。

【0138】ステップS34において、図18に示したラフ/ファイン制御部48は、最小信号MINのレベルをモニタする。ラフ/ファイン制御部48は、最小信号MINがLレベルのときに、内部クロック信号DICLKの位相を進めても2進カウンタ136の繰り下がりが起こらないと判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(A)に示したように、ファイネイネーブル信号FENを活性化し、制御をステップS36に移行する。ラフ/ファイン制御部48は、最小信号MINがHレベルのときに、内部クロック信号DICLKの位相を進めると2進カウンタ136の繰り下がりが起こると判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(D)に示したように、ラファイネーブル信号RENを活性化し、制御をステップS37に移行する。

【0139】ステップS36において、図28に示したファインコントロール134は、ファイネイネーブル信号FENを受けて、図29の制御状態図(A)に示したように、カウントダウン信号DOWNを活性化する。2進カウンタ136は、カウントダウン信号DOWNを受けて、カウンタ値を“-1”し、カウンタ信号CNT3-CNT0として出力する。図10に示した補間回路38、40は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKI、/CLKIの位相を進める。

【0140】ラフ/ファイン調整では、4ビットのカウンタ値を1つずつずらしていくことで、温度変動等による位相のずれに対して、位相調整が精度よく行われる。ステップS37において、図21に示したラフコントロール118は、ラファイネーブル信号RENを受けて、図22の制御状態図(D)に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する(図23(c)(d)(g))。図26に示したシフトレジスタ選択回路124は、制御信号A、Bを受けて制御信号A2、B2を活性化する。図3に示した第2シフトレジスタ64は、制御信号A2、B2を受けて、活性化される選択信号P11、P12、...およびイネーブル信号E11、E12、...を図の左側に1つシフトする。第2スイッチ回路62は、新たに活性化された選択信号(例えばP11)を受けて、選択する偶数段目の遅延段を1つ前段側(例えばD11)にシフトする。そして、遅延回路54は、内部クロック信号ACLK、/ACLKより位相の進んでいる内部クロック信号BCLK、/BCLKを出力する。遅延段活性化回路56は、偶数段目の遅延段(例えばD12)に供給されるイネーブル信号(例えばE12)を非活性化し、遅延回路で消費される電力を低減する。

【0141】ここで、遅延段の切り替えは、2進カウン

タ136のカウント値が最小値(ゼロ)のときに行われる。このため、図39(a)に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、遅延段の切り替えにより内部クロック信号CLKIにジッタが発生することはない。ステップS38において、図24に示したラフシフトラッチ120は、シフト通知信号SINFを受けてラフシフト順番信号RS0のレベルを反転する。

【0142】ステップS39において、図27に示したファインコントロール134は、カウントアップ信号UPを活性化する。2進カウンタ136は、カウントアップ信号UPを受けて、カウンタ値を1つ増やす。ラフ/ファイン調整では、遅延段の切り替えが行われても、内部クロック信号CLKIの位相調整単位は、2進カウンタ136の1単位である。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することはない。すなわち、ノイズの影響を受けにくい。

【0143】一方、ステップS35において、図18に示したラフ/ファイン制御部48は、最大信号MAXのレベルをモニタする。ラフ/ファイン制御部48は、最大信号MAXがLレベルのときに、内部クロック信号DICLKの位相を遅らせても2進カウンタ136の繰り上がりが起こらないと判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(A)に示したように、ファイネイネーブル信号FENを活性化し、制御をステップS40に移行する。ラフ/ファイン制御部48は、最大信号MAXがHレベルのときに、内部クロック信号DICLKの位相を遅らせると2進カウンタ136の繰り上がりが起こると判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(C)に示したように、ラファイネーブル信号RENを活性化し、制御をステップS41に移行する。

【0144】ステップS40において、図28に示したファインコントロール134は、ファイネイネーブル信号FENを受けて、図29の制御状態図(B)に示したように、カウントアップ信号UPを活性化する。2進カウンタ136は、カウントアップ信号UPを受けて、カウンタ値を“+1”し、カウンタ信号CNT3-CNT0として出力する。図10に示した補間回路38、40は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKI、/CLKIの位相を遅くする。

【0145】ステップS41において、図21に示したラフコントロール118は、ラファイネーブル信号RENを受けて、図22の制御状態図(C)に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する(図23(e)(f))。図26に示したシフトレジスタ選択回路124は、制御信号C、Dを受けて制御信号C1、D1を活性化する。図3に示した第1シフトレジスタ60は、制御信号C1、D1を受けて、活性化さ

れる選択信号P01、P02、...およびイネーブル信号E01、E02、...を図の右側に1つシフトする。第1スイッチ回路58は、新たに活性化された選択信号(例えばP03)を受けて、選択する奇数段目の遅延段を1つ後段側(例えばD03)にシフトする。そして、遅延回路54は、内部クロック信号BCLK、/BCLKより位相の遅い内部クロック信号ACLK、/ACLKを出力する。

【0146】ここで、遅延段の切り替えは、2進カウンタ136のカウンタ値が最大値(10進数の“16”)のときに行われる。このため、図39(a)に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、ステップS37と同様、遅延段の切り替えにより内部クロック信号CLKIにジッタが発生することはない。

【0147】ステップS42では、上述したステップS38と同じ制御が行われ、ラフシフト順番信号RS0のレベルが反転される。ステップS43において、図27に示したファインコントロール134は、カウンタダウン信号DOWNを活性化する。2進カウンタ136は、カウンタダウン信号DOWNを受けて、カウンタ値を1つ減らす。

【0148】ステップS36、S39、S40、S43を実行した後、制御は再びステップS32へ移行する。一方、ステップS44～S54では、内部クロック信号DICLKの位相を進める制御と、遅らせる制御は、上述したステップS33～S43とは逆に行われる。まず、ステップS44において、図12に示した位相比較回路90は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を進めるため、制御はステップS45に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップS46に移行する。

【0149】ステップS45において、図18に示したラフ/ファイン制御部48は、最大信号MAXのレベルをモニタする。ラフ/ファイン制御部48は、最大信号MAXがLレベルのときに、内部クロック信号DICLKの位相を進めても2進カウンタ136の繰り上がりが起こらないと判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(F)に示したように、ファインイネーブル信号FENを活性化し、制御をステップS47に移行する。ラフ/ファイン制御部48は、最大信号MAXがHレベルのときに、内部クロック信号DICLKの位相を遅らせると2進カウンタ136の繰り上がりが起こると判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(G)に示したように、ラファイネーブル信号RENを活性化し、制御をステップS48に移行する。

【0150】ステップS47では、上述したステップS40と同じ制御が行われ、2進カウンタ136のカウン

ト値が“+1”される。ステップS48において、図21に示したラフコントロール118は、ラファイネーブル信号RENを受けて、図22の制御状態図(G)に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する(図23(c)(d)(g))。図26に示したシフトレジスタ選択回路124は、制御信号A、Bを受けて制御信号A1、B1を活性化する。図3に示した第1シフトレジスタ60は、制御信号A1、B1を受けて、活性化される選択信号P01、P02、...およびイネーブル信号E01、E02、...を図の左側に1つシフトする。第1スイッチ回路58は、新たに活性化された選択信号(例えばP01)を受けて、選択する奇数段目の遅延段を1つ前段側(例えばD01)にシフトする。そして、遅延回路54は、内部クロック信号BCLK、/BCLKより位相の進んでいる内部クロック信号ACLK、/BCLKを出力する。遅延段活性化回路56は、奇数段目の遅延段(例えばD02)に供給されるイネーブル信号(例えばE02)を非活性化し、遅延回路で消費される電力を低減する。

【0151】ステップS49では、上述したステップS38と同じ制御が行われ、ラフシフト順番信号RS0のレベルが反転される。ステップS50では、上述したステップS43と同じ制御が行われ、2進カウンタ136のカウンタ値が“−1”される。一方、ステップS46において、図18に示したラフ/ファイン制御部48は、最小信号MINのレベルをモニタする。ラフ/ファイン制御部48は、最小信号MINがLレベルのときに、内部クロック信号DICLKの位相を遅らせても2進カウンタ136の繰り下がりが起こらないと判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(F)に示したように、ファインイネーブル信号FENを活性化し、制御をステップS51に移行する。ラフ/ファイン制御部48は、最小信号MINがHレベルのときに、内部クロック信号DICLKの位相を遅らせると2進カウンタ136の繰り下がりが起こると判断する。そして、ラフ/ファイン制御部48は、図19の制御状態図(J)に示したように、ラファイネーブル信号RENを活性化し、制御をステップS52に移行する。

【0152】ステップS51では、上述したステップS36と同じ制御が行われ、2進カウンタ136のカウンタ値が“−1”される。ステップS52において、図21に示したラフコントロール118は、ラファイネーブル信号RENを受けて、図22の制御状態図(J)に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する(図23(e)(f))。図26に示したシフトレジスタ選択回路124は、制御信号C、Dを受けて制御信号C2、D2を活性化する。図3に示した第2シフトレジスタ64は、制御信号C2、D2を受けて、活性化される選択信号P11、P12、...およびイネーブル信号E11、E12、...を図の右側に1つシフトする。第2スイッチ回路62は、新たに活性化された選択信号

(例えばP13)を受けて、選択する偶数段目の遅延段を1つ後段側(例えばD13)にシフトする。そして、遅延回路54は、内部クロック信号ACLK、/ACLKより位相の遅い内部クロック信号BCLK、/BCLKを出力する。

【0153】ステップS53では、上述したステップS38と同じ制御が行われ、ラフシフト順番信号RS0のレベルが反転される。ステップS54では、上述したステップS39と同じ制御が行われ、2進カウンタ136のカウント値が“+1”される。ステップS47、S50、S51、S54を実行した後、制御はステップS55へ移行する。

【0154】ステップS55において、ラフシフト順番信号RS0のレベルが比較される。ラフシフト順番信号RS0がLレベルの場合、制御は再びステップS44に移行する。ラフシフト順番信号RS0がHレベルの場合、制御はステップS33に移行する。上述したように、ステップS32～ステップS55が繰り返して実行され、ラフ/ファイン調整が行われる。そして、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【0155】以上のように構成された半導体集積回路では、位相調整をラフ初期調整、ファイン初期調整(粗調整)とラフ/ファイン調整(微調整)との3段階に分けて行ったので、内部クロック信号D1CLKと参照クロック信号REFCLKとの位相を少ない位相比較回数で早く一致させることができる。遅延時間を所定値に固定した遅延段D01、D11、...を縦続接続して遅延回路54を構成したので、遅延回路54を簡易に構成することができる。一般に、遅延段D01、D11、...は、レイアウトサイズの大きいCR時定数回路等で構成されることが多い。本発明では、遅延段D01、D11、...の遅延時間を固定することで、余分な素子を不要にし、レイアウトサイズを小さくした。これにより、チップサイズを小さくすることができる。

【0156】補間回路38、40を使用して位相の微調整を行ったので、微調整の最小単位を補間回路38、40の制度に合わせて小さくすることができる。すなわち、高い周波数のクロック信号CLK、/CLKが供給される半導体集積回路においても確実に位相調整を行うことができる。遅延段活性回路56により、使用していない遅延段を非活性化したので、消費電力を低減することができる。

【0157】遅延段D01、D11、...に独立した電源線を接続したので、他の回路の影響を受けて、遅延段D01、D11、...の遅延時間が変動することを防止することができる。また、独立した電源線は、低電圧であるため、遅延段D01、D11、...の消費電力を小さくすることができる。その出力波形を、電源線VDDが接続される場合より緩やかにすることができる。

【0158】内部クロック信号ACLK、BCLKに互いに重なる期間T1を設けたので、補間回路38を正常かつ確実に

動作させることができる。開始信号STTを内部クロック信号CLK-Kの立ち下がりに同期して活性化した。このため、位相比較の開始時に、遅延クロック生成部36、位相比較部46等の動作を互いに同期して開始することができ、常に所定の状態から位相比較を開始することができる。また、内部クロック信号CLK-K等のHレベル期間が開始信号STTによりマスクされハザードとなることを防止することができ、位相比較の開始時の誤動作を防止することができる。

【0159】第1、第2分周回路82、84を使用して4分の1分周した内部クロック信号D1CLK、参照クロック信号REFCLKを位相比較した。このため、高い周波数のクロック信号CLK、/CLKが供給される場合にも、位相比較回路90を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減することができる。さらに、図32のステップS20、S21の終了後、またはラフロックオン信号RLONがHレベルになってから所定のクロック数後に、位相比較の頻度をさらに下げることで、より消費電力を低減することができる。

【0160】位相比較の開始時に、第1分周回路82および第2分周回路84を開始信号STTに同期して動作させ、所定のクロック数後に分周した内部クロック信号および参照クロック信号REFCLKを出力した。このため、クロック信号CLK、/CLKの周波数が特定の範囲の場合において、位相比較の開始時に、位相比較回路90に供給される内部クロック信号および参照クロック信号REFCLKの位相のずれの最大値を小さくすることができる。この結果、粗調整における位相比較の回数を低減することができる。一般に、半導体集積回路は、製品によって動作周波数の範囲が決まっているため、本発明の適用により十分な効果が得られる。

【0161】ラフ初期調整の完了の判断を、簡易なラッチ回路(シフト方向保持回路112)で行ったので、回路規模を低減することができる。ラフ初期調整において、2進カウンタ136のカウント値を中央の値に設定したので、内部クロック信号CLKIの位相を、遅延段の切り替え時に均等に変化させることができる。このため、ラフ初期調整後のファイン初期調整において、補間回路38、40による位相調整の範囲が所定内にされ、位相比較回数を最小限にすることができる。

【0162】ファイン初期調整において、内部クロック信号ABCLKの位相をとびとびに変化させたので、ファイン初期調整での位相比較回数が最小限にすることができる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整を早く行うことができる。ラフ/ファイン調整において、カウンタ値の増加時に、内部クロック信号CLKIの位相を、常に奇数段目の遅延段D01、D02、...から偶数段目の遅延段D11、D12、...に向けて変化させ、カウンタ値の減少時に、内部クロック信号CLKI

の位相を、常に奇数段目の遅延段D01、D02、...から偶数段目の遅延段D11、D12、...に向けて変化させた。このため、カウンタ値が最大または最小になった場合にも、カウンタ値をリセットまたはセットする必要はなく、遅延段遅延段D01 D11、...の切り替えを行うだけでよい。このため、図39(a)に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。この結果、遅延段の切り替えにより内部クロック信号にジッタが発生することを防止することができる。

【0163】ラフ/ファイン調整において、4ビットのカウンタ値を1つずつずらしていく制御を行った。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することを防止することができる。すなわち、ノイズの影響は受けにくい。また、温度変動、電圧変動等による位相のずれに対して、位相調整を精度よく行うことができる。内部クロック信号ACLK、BCLKの位相を16等分し、補間回路38、40により、16種類の位相の内部クロック信号ABCLKを生成することができる。

【0164】次に、本発明の半導体集積回路の第2の実施形態について説明する。この実施形態は、請求項1ないし請求項5に対応している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。図41は、DDR-SDRAMに搭載されたクロック制御部140を示している。この実施形態のクロック制御部140は、第1の実施形態に比べ位相比較部141、ラフ/ファイン制御部142、およびラフ制御部144が相違している。

【0165】位相比較部141は、内部クロック信号CLKI、CLK-Kおよび開始信号STTを受け、ファイン比較結果信号FCOMP、ラフ位相比較信号RCOMP、およびタイミング信号TIMを出力している。ラフ/ファイン制御部142は、ラフ比較結果信号COMP、タイミング信号TIM、最大信号MAX、最小信号MIN、ラフシフト順番信号RSO、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。ラフ制御部144は、ラフイネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト順番信号RSO、および制御信号A1-D1、A2-D2を出力している。

【0166】図42は、位相比較部141の詳細を示している。位相比較部141は、第1の実施形態と同一の第1分周回路82、第2分周回路84、ダミー出力バッファ86、およびダミー入力バッファ88と、ファイン位相比較回路148、ラフ位相比較回路150を備えている。ファイン位相比較回路148は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較

し、ファイン比較結果信号FCOMPを出力する回路である。ラフ位相比較回路150は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、ラフ比較結果信号RCOMPおよびタイミング信号TIMを出力する回路である。

【0167】図43は、ファイン位相比較回路148の詳細を示している。ファイン位相比較回路148は、第1の実施形態の位相比較回路90からタイミング生成回路108を除いた回路である。ファイン位相比較回路148は、パルス発生回路102のNORゲート102cの出力からサンプリング信号SMPLを出力し、フリップフロップ106のNANDゲート106bの出力からファイン比較結果信号FCOMPを出力している。

【0168】図44は、ラフ位相比較回路150の詳細を示している。ラフ位相比較回路150は、2つの2入力NANDゲートからなるフリップフロップ回路150a、150b、150c、150dと、2入力のAND回路150eと、フリップフロップ回路150c、150dの出力にそれぞれ接続された2入力のNANDゲート150f、150g、150h、150iと、タイミング生成回路150jとで構成されている。タイミング生成回路150jは、第1の実施形態のタイミング生成回路108の遅延回路108aをCR時定数回路150kに置き換えた回路である。CR時定数回路150kは、図3に示した遅延段D01、D11、D02、D12、...の遅延時間と同一またはわずかに大きい遅延時間を有している。タイミング生成回路150jは、CR時定数回路150kで遅延させた内部クロック信号DICLKと参照クロック信号REFCLKとをNANDゲート108bで受け、タイミング信号TIMを出力している。

【0169】フリップフロップ回路150aの入力には、参照クロック信号REFCLKおよび内部クロック信号DICLKが供給されている。フリップフロップ回路150aの出力ノードN21、N22は、それぞれNANDゲート150f、150gの一方の入力に接続されている。フリップフロップ回路150bの入力には、参照クロック信号REFCLKおよびタイミング生成回路150jのCR時定数回路150kで遅延させた内部クロック信号DICLKが供給されている。フリップフロップ回路150bの出力ノードN23、N24は、それぞれがNANDゲート150h、150iの一方の入力に接続されている。

【0170】NANDゲート150f~150iの他方の入力には、サンプリング信号SMPLが供給されている。フリップフロップ回路150c、150dは、それぞれ比較結果信号CP5、CP6および比較結果信号CP7、CP8を出力している。AND回路150eは、比較結果信号CP5、CP8を受け、ラフロックオン信号RLONを出力している。図45は、ラフ位相比較回路150の動作タイミングを示している。

【0171】内部クロック信号DICLKの位相が参照クロ

ック信号REFCLKの位相より進んでいる場合、図44に示したフリップフロップ回路150a、150bは、ともに内部クロック信号DICKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される(図45(a))。ここで、フリップフロップ回路150bの入力には、CR時定数回路150kを介して内部クロック信号DICKが供給されているため、信号波形はわずかに異なっている。フリップフロップ回路150c、150dは、サンプリング信号SMPLに同期してノードN21~N24の信号を取り込み、それぞれ比較結果信号CP5~CP8として出力する(図45(b))。

【0172】内部クロック信号DICKの位相と、参照クロック信号REFCLKの位相との差が、CR時定数回路150kの遅延時間より小さい場合、フリップフロップ回路150aは、内部クロック信号DICKに同期して動作し、フリップフロップ回路150bは、参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、互いに逆相の信号が出力される(図45(c))。フリップフロップ回路150c、150dは、サンプリング信号SMPLに同期してノードN21~N24の信号を取り込み、それぞれ比較結果信号CP5~CP8として出力する(図45(d))。

【0173】内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合、フリップフロップ回路150a、150bは、ともに参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される(図45(e))。フリップフロップ回路150c、150dは、サンプリング信号SMPLに同期してノードN21~N24の信号を取り込み、それぞれ比較結果信号CP5~CP8として出力する(図45(f))。

【0174】また、ラフ位相比較回路150は、位相の差がCR時定数回路150kの遅延時間より小さくなり、比較結果信号CP5、CP8がともにHレベルになったときに、後述するラフ初期調整での位相が一致したと判断する。そして、ラフロックオン信号RLONを活性化する(図45(g))。このように、ラフ初期調整時における位相一致の判断を、独立したラフ位相比較回路150で行っているため、第1の実施形態と異なり、内部クロック信号ACLK、(または/BCLK)のシフト方向を反転させる必要がなくなる。この結果、ラフ初期調整を高速に行うことが可能になる。

【0175】図46は、ラフ/ファイン制御部142の詳細を示している。ラフ/ファイン制御部142は、第1の実施形態のラフ/ファイン制御部48の組み合わせ回路110と同一の回路である。図47は、ラフ制御部144の詳細を示している。ラフ制御部144は、ラフコントロール152と、ラフシフトラッチ120と、レジスタ選択スイッチ124とで構成されている。ラフシフトラッチ120およびレジスタ選択スイッチ124

は、第1の実施形態を同一の回路である。また、この実施形態では、第1の実施形態のシフト方向ラッチ122は搭載されていない。

【0176】図48は、ラフコントロール152の詳細を示している。ラフコントロール152は、組み合わせ回路154と、分周回路128と、制御回路130と、OR回路132とで構成されている。分周回路128、制御回路130、およびOR回路132は、第1の実施形態と同一の回路である。組み合わせ回路154は、図21に示した第1の実施形態の組み合わせ回路126と以下の点で相違している。すなわち、組み合わせ回路126では、進み信号FW、遅れ信号BWを出力するNANDゲートの前段の3入力NANDゲートおよび2入力NANDゲートには、比較結果信号COMPの論理が供給されている。組み合わせ回路154では、3入力NANDゲートには、ファイン比較結果信号FCOMPの論理が供給され、2入力NANDゲートには、それぞれAND回路を介して比較結果信号CP5、CP7、および比較結果信号CP6、CP8が供給されている。

【0177】図49は、組み合わせ回路154の動作の制御状態図を示している。例えば、組み合わせ回路154は、ラフロックオン信号RLONがLレベル、比較結果信号CP5、CP7がHレベルのときに、遅れ信号BWを活性化し、ラフロックオン信号RLONがLレベル、比較結果信号CP6、CP8がHレベルのときに、進み信号FWを活性化する。組み合わせ回路154は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、ファイン比較結果信号FCOMPがともにHレベルのときに、遅れ信号BWを活性化する。組み合わせ回路154は、ラフロックオン信号RLON、ラフシフト順番信号RSOがHレベル、最大信号MAX、最小信号がLレベルのときには、進み信号FW、遅れ信号BWとも非活性化する。

【0178】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。図50は、上述した各回路が行う位相調整を制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始され、初期設定、ラフ初期調整、ファイン初期調整、ラフ/ファイン調整が順次行われる。

【0179】初期設定、ファイン初期調整、ラフ/ファイン調整の制御フローは、第1の実施形態と同一であるため、説明を省略する。ラフ初期調整では、ステップS61において、図42に示したラフ位相比較回路150は、参照クロック信号REFCLKと内部クロック信号DICKとの位相を比較する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より進んでいる場合には、ラフ比較結果信号FCOMPはHレベルにされる。ラフ比較結果信号FCOMPのHレベルにより、この後、内部クロック信号DICKを遅らせる制御が行われる。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合には、ラフ比較結果信号FCOMPはL

レベルにされる。ラフ比較結果信号FCOMPのLレベルにより、この後、内部クロック信号DICLKを進める制御が行われる。また、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相と一致した場合には、ラフロックオン信号RLONはHレベルにされる。

【0180】ステップS62において、ラフロックオン信号RLONがHレベルの場合、制御はファイン調整に移行する。ラフロックオン信号RLONがLレベルの場合、制御はステップS63に移行する。ステップS63において、図48に示したラフコントロール152は、遅延段を切り替える制御を行う。遅延段の制御は、図49に示した制御状態図にしたがって行われる。

【0181】ステップS64のラフシフト順番信号RSOの反転、およびステップS65のシフト方向のラッチは、第1の実施形態のステップS7、S8と同一の制御が行われる。この後、制御は、再びステップS61に移行する。そして、ラフ初期調整の後、ファイン初期調整、ラフ/ファイン調整が行われ、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【0182】この実施形態の半導体集積回路において、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、位相比較回路146をファイン位相比較回路148とラフ位相比較回路150とで構成し、ラフ初期調整における位相一致の判断と、ファイン初期調整における位相一致の判断とを、別の制御回路で行った。このため、ラフ初期調整を効率よく高速に行うことができる。

【0183】次に、本発明の半導体集積回路の第3の実施形態について説明する。この実施形態は、請求項1ないし請求項5に対応している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。この実施形態では、第1の実施形態に比べ、第1分周回路156のみが相違し、その他の構成は同一である。また、この実施形態は、第1の実施形態に比べて低い周波数で動作する半導体集積回路に適用することで、顕著な効果を得られる。

【0184】図51は、第1分周回路156を示している。第1分周回路156は、第1の実施形態と同一の2つの分周器92を備えている。前段の分周器92には、入力端子INに内部クロック信号CLK-Kが供給され、制御端子STT1に開始信号STTが供給され、制御端子STT2に電源線VDDが接続されている。後段の分周器92の入力端子IN、制御端子STT1、STT2には、それぞれスイッチ156a、156b、156cが接続されている。スイッチ156aは、前段の分周器92の出力端子OUT、/OUTの一方を入力端子INに接続する素子である。スイッチ156bは、電源線VDDのHレベル、または開始信号STTを制御端子STT1に供給する素子である。スイッチ156cは、電源線VDDのHレベル、または開始信号STTを制御端子ST

T2に供給する素子である。各スイッチ156a、156b、156cは、CMOSスイッチで形成されている。各スイッチ156a、156b、156cの切り替えは、半導体集積回路の動作モードを設定するモードレジスタを所定の値にすることで行われる。

【0185】本実施形態では、後段の分周器92の入力端子INには、前段の分周器92の出力端子/OUTが接続され、後段の分周器92の制御端子STT1および制御端子STT2には、開始信号STTおよび電源線VDDのHレベルが供給されている。図52は、位相調整開始時の第1分周回路156および第2分周回路84（図13）の動作タイミングを示している。

【0186】この実施形態では、第1分周回路156から出力される参照クロックREFCLKは、内部クロック信号CLKIを受けた後、4クロックで出力が開始される。このため、位相調整開始時の内部クロック信号DICLKと参照クロックREFCLKとの位相差T6は、5クロックで参照クロックREFCLKを出力した場合の位相差T7に比べ小さくなる。したがって、動作周波数が低い場合に、参照クロックREFCLKの出力が開始されるまでのクロック数を少なくすることで、ラフ初期調整に必要な位相比較の回数を低減することができる。また、位相調整開始時の内部クロック信号DICLKと参照クロックREFCLKとの位相差を小さくすることで（例えば、T7→T6）、図3に示した遅延回路54内で活性化させる遅延段の数が少なくなり、消費電力を低減することができる。

【0187】なお、上述した第1の実施形態では、それぞれ奇数段目の遅延段D01、D02、...および偶数段目の遅延段D11、D12、...のシフト動作を、それぞれ第1、第2シフトレジスタ60、64により行った例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図53に示すように、遅延段D01、D11、D02、D12、...のシフト動作を、1つのシフトレジスタ160により行ってもよい。

【0188】シフトレジスタ160は、第1シフトレジスタ60と同一の制御回路66を備えて構成されている。シフトレジスタ160は、NORゲート66aの一方の入力に、隣接する制御回路66（図の左側）のNANDゲート66bの出力が接続されている点、およびイネーブル信号EN11、EN02、...がインバータ160aを介して出力されている点で、第1シフトレジスタ60と相違している。

【0189】以下、シフトレジスタ160の動作を簡単に説明する。例えば、初期状態において、選択信号P02、P12がHレベルにされ、イネーブル信号E03以降がLレベルにされているとする。この場合、内部クロック信号ACLK、BCLKは、それぞれ遅延段D02、D12の出力から生成されている。位相比較の結果、位相を遅らせる必要がある場合には、制御信号C、Dが活性化される。制御信号Cを受けて、選択信号P12を出力している制御回路66のn

MOS 66f がオンし、インバータ 66c の出力が強制的に L レベルにされる。この L レベルにより、イネーブル信号 E03 および選択信号 P03 は H レベルになり、NAND ゲート 66b の出力は H レベルになる。NAND ゲート 66b の H レベルにより、選択信号 P02 は L レベルになる。この結果、図 38 (a) に示したように、内部クロック信号 ACLK の位相が遅くされる。なお、各イネーブル信号 EN1、EN02、... は、各遅延段 D11、D02、... に直接供給される。

【0190】一方、位相比較の結果、位相を進める必要がある場合には、制御信号 A、B が活性化される。制御信号 B を受けて、選択信号 P02 を出力している制御回路 66 の nMOS 66d がオンし、NAND ゲート 66b の出力が強制的に L レベルにされる。この L レベルにより、選択信号 P11 は H レベルになり、インバータ 66c の出力は H レベルになる。インバータ 66c の H レベルにより、イネーブル信号 E03 および選択信号 P12 は L レベルになる。この結果、図 38 (a) に示したように、内部クロック信号 BCLK の位相が遅くされる。

【0191】シフトレジスタ 160 に、図 20 に示したラフコントロール 118 から出力される制御信号 A-D を直接供給することができるため、第 1 の実施形態のレジスタ選択スイッチ 124 (図 26) は不要になる。また、シフトレジスタ 160 のイネーブル信号 EN11、EN02、... を、各遅延段 D11、D02、... に直接供給することができたため、遅延段活性化回路 56 (図 9) は不要になる。

【0192】上述した第 1 の実施形態では、図 4 に示したように、CR 時定数回路 48d、48e を使用して遅延段 D01、D11、D02、D12、... を構成した例について述べた。本発明はかかる実施形態に限定されるものではない。遅延段は、補間回路 38、40 を正常に動作させるために、緩やかな波形のクロック信号を出力するものであればよい。以下、遅延段の別の構成例を示す。

【0193】図 54 に示す遅延段 162 は、入力信号 I_N、/I_N を受け、出力信号 OUT、/OUT を生成する差動増幅回路で構成されている。差動増幅回路は、カレントミラー回路等の定電流源および nMOS を備えており、イネーブル信号 EN は接地線 VSS に接続された nMOS のゲートに接続されている。図 55 に示す遅延段 164 は、2 つの CR 時定数回路 164a を直列に配置して構成されている。

【0194】図 56 に示す遅延段 166 は、CMOS で構成される 2 つの OR 回路 (負論理の AND 回路) 166a と、OR 回路 166a の電源端子 (図示せず) に接続された pMOS 166b、166c、nMOS 166d、166e と、pMOS 166b、166c のゲート、および nMOS 166d、166e のゲートに接続された定電圧源 166f、166g とで構成されている。各トランジスタ 166b~166e は抵抗として作用し、OR 回路 166a の出力波形を緩やかにする。

【0195】上述した第 1 の実施形態では、図 10 に示したように、ゲート幅の異なるクロックドインバータを使用して補間回路 38 を形成し、カウンタ信号 CNT3-CNT0 の重み付けに応じた位相の ABCLK を生成した例について述べた。本発明はかかる実施形態に限定されるものではない。以下、補間回路の別の構成例を示す。図 57 に示す補間回路 168 は、定電流源 168a と、定電流源 168a から供給される電流を引き抜くゲート幅の異なる 4 つの nMOS 168b、168c、168d、168e と、各トランジスタのソース側に直列に接続された 4 つの nMOS 168f とを 2 組備え、さらに、出力を互いに接続した 2 つの差動増幅回路 168g、168h からなる差動増幅部 168i を備えて構成されている。nMOS 168b、168c、168d、168e に記載されている数字は、ゲート幅の比率を示している。nMOS 168e、168d、168c、168b のゲートには、それぞれカウンタ信号 CNT3-CNT0 が供給されている。nMOS 168f のゲートには、定電圧信号 VC が供給されている。定電流源 168a に接続されたノード V1、V2 は、それぞれ差動増幅回路 168g、168h における接地線 VSS に接続された nMOS のゲートに接続されている。

【0196】差動増幅部 168i の出力は、差動増幅回路からなるバッファ 170a、170b に接続されている。バッファ 170a、170b の出力からは、内部クロック信号 CLKI、/CLKI が出力されている。補間回路 168 では、カウンタ信号 CNT3-CNT0 の重み付けに応じてノード V1、V2 の電圧が変化し、差動増幅回路 168g、168h の増幅能力が変化することで、内部クロック信号 ACLK、BCLK (または /ACLK、/BCLK) の間に位相を有する内部クロック信号 CLKI (または /CLKI) が生成される。

【0197】この補間回路 168 は、図 54 に示した遅延段 162 と組み合わせて使用することで、一定のデューティ比の内部クロック信号 CLKI、/CLKI を安定して生成することができる。図 58 に示す補間回路 172 は、ゲート幅が異なり、出力が互いに接続された 4 つの CMOS スイッチ 170a、172b、172c、172d を 2 組備えて構成されている。CMOS スイッチ 170a、172b、172c、172d に記載されている数字は、ゲート幅の比率を示している。内部クロック ACLK が供給される CMOS スイッチ 170a、172b、172c、172d は、カウンタ信号 CNT3-CNT0 で制御されている。内部クロック BCLK が供給される CMOS スイッチ 170a、172b、172c、172d は、インバータを介してカウンタ信号 CNT3-CNT0 の反転論理で制御されている。補間回路 172 から出力される内部クロック信号 ABCLK は、バッファ 42 (または 44) に供給されている。

【0198】補間回路 172 では、CMOS スイッチ 170a、172b、172c、172d が、カウンタ信号 CNT3-CNT0 の重み付けに応じた可変抵抗として作用するこ

とで、内部クロック信号ACLK、BCLK（または/ACLK、/BCLK）の間に位相を有する内部クロック信号ABCLK（または/ABCLK）が生成される。内部クロック信号ABCLK（または/ABCLK）は、バッファ42（または44）に供給され、内部クロック信号CLKI（または/CLKI）として出力される。

【0199】上述した第1の実施形態では、2進カウンタ136を4ビットで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、補間回路38、40の位相調整の精度に合わせて、2進カウンタ136を6ビットまたは8ビットで構成してもよい。上述した第1の実施形態では、図7および図8に示したように、第1、第2スイッチ回路58、62をCMOSスイッチ72aで構成し、遅延段で生成された緩やかな波形のクロック信号を補間回路38、40に伝達した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図59に示すように、スイッチ回路174をクロックドインバータ174aで構成し、スイッチ回路174で緩やかな波形のクロック信号を生成してもよい。この場合、図60に示すように、遅延段176を単純なOR回路等で形成することができる。

【0200】上述した第1の実施形態では、相補のクロック信号CLK、/CLKが供給されるDDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、クロック信号CLKのみが供給されるSDRAMに適用してもよい。図61および図62は、本発明を適用したSDRAMのクロック制御部178および遅延クロック生成部180を示している。

【0201】図61において、SDRAMでは、クロック信号CLKIに関するクロックバッファ34a、補間回路38、バッファ42のみが形成されている。遅延クロック生成部180は、内部クロック信号ACLK、BCLKのみを出力している。図62において、遅延回路182の各遅延段D01、D11、D02、D12、...は、内部クロック信号CLK01、CLK11、CLK02、...のみを出力している。第1スイッチ回路184は、内部クロック信号CLK01、CLK02、...のいずれかを内部クロック信号ACLKとして出力している。第2スイッチ回路186は、内部クロック信号CLK11、CLK12、...のいずれかを内部クロック信号BCLKとして出力している。

【0202】上述した第1の実施形態では、本発明を、DDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM、SRAM等の半導体メモリに適用してもよい。さらに、本発明をDRAMのメモリコアを内蔵したシステムLSIに適用してもよい。上述した第3の実施形態では、第1分周回路156にCMOSスイッチで形成されたスイッチ156a、156b、156cを備え、モードレジスタを所定の値にすることでスイッチ1

56a、156b、156cの切り替えを行う例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第1分周回路156のスイッチをポリシリコン等のヒューズで構成し、ヒューズの熔断によりスイッチの切り替えを行ってもよい。この場合、半導体集積回路の製造工程で、参照クロックREFCLKの出力タイミングを設定することができる。一般に、半導体集積回路は、動作周波数ごとに製品名を変えて出荷されている。また、半導体集積回路は、ウェハ内でのチップの位置、製造ロットにより、周波数特性が異なる程度ばらつく。このため、製造工程において製品の動作周波数に応じてヒューズを熔断し、参照クロックREFCLKの出力タイミングを設定することで、個々の半導体集積回路に応じて、最適な参照クロックREFCLKの出力タイミングを設定することができる。この結果、遅延段活性化回路56を有効に動作させて消費電力を低減することができる。

【0203】また、チップ上に、スイッチを制御するためのパッド等の取り出し部を形成してもよい。この場合には、製品の出荷前には、これ等パッドを試験端子として使用して、製品の評価を行うことができる。製品の出荷時には、パッドをボンディングワイヤ等で電源線VDDまたは接地線VSSに接続することで、スイッチをヒューズで構成した場合と同様の効果を得ることができる。さらに、製品の出荷時に、パッドと外部端子とを接続することで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で参照クロックREFCLKの出力タイミングを設定することができる。

【0204】また、ここまでの説明では、図12に示したように、ダミー出力バッファ86およびダミー入力バッファ88をダミー回路として使用してきた。しかしながら、ダミー入力バッファ88のみを使用することで、クロック信号CLKのタイミングに合わせることができる。あるいは、ダミー入力バッファ88のみを使用し、参照クロック信号REFCLKにラッチ回路分の遅延回路を追加することで、クロック信号CLKからラッチ回路分遅い内部クロック信号を作ることができる。

【0205】上述した第3の実施形態では、第1分周回路156にスイッチ156a、156b、156cを備えた例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第2分周回路84にもスイッチを備えてもよい。以上の実施形態において説明した発明を整理して以下の項を開示する。

【0206】(1)請求項2記載の半導体集積回路において、前記制御回路は、前記基準クロック信号と前記内部クロック信号との位相が逆転したときに、比較結果が前記遅延段の遅延時間以下になったと判断することを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、内部クロック信号と基準クロック信号との位相が逆転したことに基づいて、内部クロック信号と基準

クロック信号との位相差が遅延段の遅延時間以下になったと判断する。そして、補間回路による微調整を開始する。位相の逆転の判断は、ラッチ等の簡易な回路で容易に行うことができ、回路規模を小さくすることができる。

【0207】(2) 請求項3記載の半導体集積回路において、前記制御回路は、位相比較の開始時に、前記2進カウンタを中央値に設定することを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、位相比較の開始時に、2進カウンタを中央値に設定する。このため、スイッチ回路により位相の粗調整を行う場合に、内部クロック信号の位相を、遅延段の遅延時間に合わせて均等に变化させることができる。この結果、その後の補間回路による位相調整において、位相比較回数を最小限にすることができる。

【0208】(3) 請求項3記載の半導体集積回路において、前記制御回路は、前記粗調整により前記内部クロック信号と前記基準クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記2進カウンタを1ずつ増加または減少して前記微調整を行うことを特徴とする半導体集積回路。この半導体集積回路では、粗調整により内部クロック信号と基準クロック信号との位相差が前記遅延段の遅延時間以下になった後に、制御回路は、2進カウンタを1ずつ増加または減少して内部クロック信号の位相の微調整を行う。このため、内部クロック信号の位相調整が確実かつ精度よく行われる。

【0209】(4) 請求項4記載の半導体集積回路において、前記制御回路は、前記2進カウンタの前記動作を最下位の2ビットまで行った後、該2進カウンタを1ずつ増加または減少して前記微調整を行うことを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、2進カウンタの動作を最下位の2ビットまで行い、内部クロック信号と基準クロック信号との位相がほぼ一致した後、2進カウンタを1ずつ増加または減少して内部クロック信号の位相の微調整を行う。このため、その後の電圧変動、温度変動に対する内部クロック信号の位相の調整が確実かつ精度よく行うことができる。

【0210】(5) 請求項3記載の半導体集積回路において、前記制御回路は、前記微調整により前記2進カウンタが最大値になり、さらに前記内部クロック信号の位相を同じ方向に調整するときに、前記スイッチ回路を制御し、前記第1クロック信号を、前記第2クロック信号を出力する前記遅延段に隣接する別の前記遅延段から出力することを特徴とする半導体集積回路。

【0211】この半導体集積回路では、微調整により2進カウンタが最大値になり、さらに内部クロック信号の位相を同じ方向に調整するときに、制御回路は、スイッチ回路を制御し、第1クロック信号を、第2クロック信号を出力する遅延段に隣接する別の遅延段から出力する。このため、第1クロック信号の位相が第2クロック

信号の位相より進んでいるときには、第1クロック信号の位相は、スイッチ回路により第2クロック信号の位相より遅れる。第1クロック信号の位相が第2クロック信号の位相より遅れているときには、第1クロック信号の位相は、スイッチ回路により第2クロック信号の位相より進む。第2クロック信号は変化しない。内部クロック信号の位相は、2進カウンタが最大値のときには、第1クロック信号と第2クロック信号との位相の関係にかかわらず最も第2クロック信号側にある。このため、内部クロック信号の位相は、スイッチ回路の切り替えにより大きく変化することはない。すなわち、粗調整と微調整との切り替わり目で、内部クロック信号にジッタが発生することを防止できる。

【0212】(6) 請求項3記載の半導体集積回路において、前記制御回路は、前記微調整により前記カウンタが最小値になり、さらに前記内部クロック信号の位相を同じ方向に調整するときに、前記スイッチ回路を制御し、前記第2クロック信号を、前記第1クロック信号を出力する前記遅延段に隣接する別の前記遅延段から出力することを特徴とする半導体集積回路。

【0213】この半導体集積回路では、微調整により2進カウンタが最小値になり、さらに内部クロック信号の位相を同じ方向に調整するときに、制御回路は、スイッチ回路を制御し、第2クロック信号を第1クロック信号を出力する遅延段に隣接する別の遅延段から出力する。このため、第2クロック信号の位相が第1クロック信号の位相より進んでいるときには、第2クロック信号の位相は、スイッチ回路により第1クロック信号の位相より遅れる。第2クロック信号の位相が第1クロック信号の位相より遅れているときには、第2クロック信号の位相は、スイッチ回路により第1クロック信号の位相より進む。第1クロック信号は変化しない。内部クロック信号の位相は、2進カウンタが最小値のときには、第1クロック信号と第2クロック信号との位相の関係にかかわらず最も第1クロック信号側にある。このため、内部クロック信号の位相は、スイッチ回路の切り替えにより変化することはない。すなわち、粗調整と微調整との切り替わり目で、内部クロック信号にジッタが発生することを防止できる。

【0214】(7) 請求項1記載の半導体集積回路において、前記各遅延段の遅延時間は、前記基準クロック信号の周期に依存せず同一であることを特徴とする半導体集積回路。この半導体集積回路では、各遅延段の遅延時間は、基準クロック信号の周期に依存せず同一であるため、遅延回路に供給される基準クロック信号の周波数が変わった場合にも、各遅延段の遅延時間は所定値に保持される。したがって、基準クロック信号の周波数による粗調整、微調整の調整単位が変動することなく、粗調整、微調整が確実に行うことができる。

【0215】(8) 請求項2記載の半導体集積回路にお

いて、前記補間回路に供給される前記第 1 クロック信号および前記第 2 クロック信号の各立ち上がり期間の一部および各立ち下がり期間の一部は、それぞれ互いに重なりを有することを特徴とする半導体集積回路。この半導体集積回路では、補間回路に供給される第 1 クロック信号および第 2 クロック信号の各立ち上がり期間の一部および各立ち下がり期間の一部を、それぞれ互いに重ねることで、補間回路を確実に動作させることができる。

【0216】(9) 請求項 1 記載の半導体集積回路において、前記遅延回路には、独立した電源電圧が供給されていることを特徴とする半導体集積回路。この半導体集積回路では、遅延回路には、独立した電源電圧が供給されているため、他の回路の影響を受けて、遅延回路の各遅延段の遅延時間が変動することを防止することができる。また、遅延回路に低電圧を供給することで、消費電力を低減することができる。

【0217】(10) 請求項 1 記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えたことを特徴とする半導体集積回路。

【0218】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。このため、位相比較の開始時に、各制御回路を互いに同期させることができ、常に所定の状態から位相比較を開始することができる。

(11) 上記(10)記載の半導体集積回路において、前記開始信号発生器は、前記基準クロック信号の立ち下がりに同期して、開始信号を活性化することを特徴とする半導体集積回路。

【0219】この半導体集積回路では、開始信号発生器は、基準クロック信号の立ち下がりに同期して開始信号を活性化する。このため、基準クロック信号の H レベル期間が開始信号によりマスクされ、ハザードとなることを防止することができ、遅延回路を安定して動作させることができる。

(12) 請求項 1 記載の半導体集積回路において、前記基準クロック信号および前記内部クロック信号の周波数をそれぞれ分周する分周器を備え、前記位相比較回路には、前記各分周器を介して周波数を分周された前記基準クロック信号および前記内部クロック信号が供給されることを特徴とする半導体集積回路。

【0220】この半導体集積回路では、基準クロック信号および内部クロック信号の周波数をそれぞれ分周する分周器を備えている。位相比較回路には、各分周器を介して周波数を分周された基準クロック信号および内部クロック信号が供給される。このため、高い周波数の基準クロック信号が供給される場合にも、位相比較回路を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減することができる。

【0221】(13) 上記(12)記載の半導体集積回路

において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備え、前記各分周器は、前記開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された前記基準クロック信号および前記内部クロック信号の出力を開始することを特徴とする半導体集積回路。

【0222】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。各分周器は、開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された基準クロック信号および内部クロック信号の出力を開始する。このため、基準クロック信号が特定の周波数の場合に、位相比較回路に供給される基準クロック信号と内部クロック信号との位相のずれの最大値を小さくすることができる。この結果、粗調整における位相比較の回数を低減することができる。遅延回路の遅延段の段数を低減することができる。

【0223】(14) 上記(13)記載の半導体集積回路において、前記所定のクロック数は、基準クロック信号の周波数に応じて設定可能であることを特徴とする半導体集積回路。この半導体集積回路では、開始信号の活性化を受けてから分周された基準クロック信号および内部クロック信号の出力を開始するまでのクロック数を、基準クロック信号の周波数に応じて設定することで、位相調整に必要な位相比較の回数を低減することができる。

【0224】(15) 上記(13)記載の半導体集積回路において、前記所定のクロック数を設定するモードレジスタを備えたことを特徴とする半導体集積回路。この半導体集積回路では、ウェイトクロック数の設定を行うモードレジスタを備えた。このため、電源の立ち上げ時等にモードレジスタを変更することで、基準クロック信号の周波数に応じたウェイトクロック数の設定を容易に行うことができる。

【0225】(16) 上記(13)記載の半導体集積回路において、前記所定のクロック数を設定するヒューズを備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行うヒューズを備えた。このため、製造工程において、製品仕様(周波数)に応じてヒューズを溶解することで、所定のクロック数の設定を簡易かつ確実に行うことができる。

【0226】(17) 上記(13)記載の半導体集積回路において、前記所定のクロック数を設定する制御端子を備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行う制御端子を備えた。このため、これ等制御端子を試験端子として使用して、製品の評価を行うことができる。これ等制御端子を電源線 VDD または接地線 VSS に接続することで、所定のクロック数に設定することができる。これ等制御端子を外部端子にすることで、半導体集積回路が搭載され

るシステムのクロック周波数に応じて、基板上で所定のクロック数の設定を行うことができる。

【0227】

【発明の効果】請求項1の半導体集積回路では、内部クロック信号と基準クロック信号との位相比較を常に正しく行うことができ、基準クロック信号の周波数によらずに両信号の位相を必ず一致させることができる。遅延段の遅延時間を所定値に固定することで余分な素子を不要にし、レイアウトサイズを小さくすることができる。この結果、チップサイズを小さくすることができる。

【0228】補間回路を使用して内部クロック信号の位相の微調整を行ったので、微調整の最小単位を小さくすることができる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相調整を行うことができる。請求項2の半導体集積回路では、内部クロック信号の位相調整を粗調整と微調整とに分けて行うことで、内部クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【0229】請求項3の半導体集積回路では、位相調整時に、2進カウンタのカウント値をリセットまたはセットする必要がないので、2進カウンタの制御を簡単かつ円滑に行うことができる。この結果、制御回路の動作のタイミング余裕を増大することができる。この結果、内部クロック信号にジッタが発生することを防止できる。請求項4の半導体集積回路では、位相の粗調整における位相比較の回数を低減することができる。請求項5の半導体集積回路では、消費電力を低減することができる。

【図面の簡単な説明】

【図1】請求項1ないし請求項5に記載の発明の基本原理解を示すブロック図である。

【図2】本発明の半導体集積回路の第1の実施形態におけるクロック制御部を示すブロック図である。

【図3】図1の遅延クロック生成部を示すブロック図である。

【図4】図3の遅延段を示す回路図である。

【図5】図3の第1シフトレジスタを示す回路図である。

【図6】図3の第2シフトレジスタを示す回路図である。

【図7】図3の第1スイッチ回路を示す回路図である。

【図8】図3の第2スイッチ回路を示す回路図である。

【図9】図3の遅延段活性化回路を示す回路図である。

【図10】図2の補間回路およびバッファを示す回路図である。

【図11】補間回路の入力波形と出力波形とを示すタイミング図である。

【図12】図2の位相比較部を示すブロック図である。

【図13】図10の第1分周回路および第2分周回路を示すブロック図である。

【図14】図13の分周器を示す回路図である。

【図15】図13の分周器の基本的な動作を示すタイミング図である。

【図16】図13の分周器の基本的な動作を示すタイミング図である。

【図17】図10の位相比較回路を示す回路図である。

【図18】図1のラフ／ファイン制御部を示す回路図である。

【図19】図18の組み合わせ回路の動作を示す制御状態図である。

【図20】図1のラフ制御回路を示すブロック図である。

【図21】図20のラフコントロールを示す回路図である。

【図22】図21の組み合わせ回路の動作を示す制御状態図である。

【図23】図20のラフコントロールの動作の概要を示すタイミング図である。

【図24】図20のラフシフトラッチを示す回路図である。

【図25】図20のシフト方向ラッチを示す回路図である。

【図26】図20のレジスタ選択スイッチを示す回路図である。

【図27】図1のファイン制御部を示すブロック図である。

【図28】図27のファインコントロールを示す回路図である。

【図29】図27のファインコントロールの動作を示す制御状態図である。

【図30】第1の実施形態における位相調整の制御を示すフローチャートである。

【図31】第1の実施形態における位相調整の初期設定およびラフ初期調整の制御を示すフローチャートである。

【図32】第1の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図33】第1の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図34】第1の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。

【図35】第1の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。

【図36】図1の開始信号発生器の動作を示すタイミング図である。

【図37】図12の位相比較部での各クロック信号の状態を示すタイミング図である。

【図38】第1の実施形態のラフ初期調整時における内部クロック信号ACLK、BCLKの切り替え制御の概要を示す説明図である。

【図39】第1の実施形態のラフ初期調整時における2進カウンタの初期値による内部クロック信号CLKIの変化を示す説明図である。

【図40】第1の実施形態のファイン初期調整の概要を示す説明図である。

【図41】本発明の半導体集積回路の第2の実施形態におけるクロック制御部を示すブロック図である。

【図42】図41の位相比較部を示すブロック図である。

【図43】図42のファイン位相比較回路を示す回路図である。

【図44】図42のラフ位相比較回路を示す回路図である。

【図45】第2の実施形態におけるラフ位相比較回路の動作を示すタイミング図である。

【図46】図41のラフ／ファイン制御部を示す回路図である。

【図47】図41のラフ制御部を示す回路図である。

【図48】図47のラフコントロールを示す回路図である。

【図49】図48の組み合わせ回路の動作を示す制御状態図である。

【図50】第2の実施形態における位相調整の制御を示すフローチャートである。

【図51】本発明の半導体集積回路の第3の実施形態における第1分周回路を示すブロック図である。

【図52】第3の実施形態における位相調整開始時の第1、第2分周器の動作を示すタイミング図である。

【図53】第1、第2シフトレジスタを1つにまとめた例を示す回路図である。

【図54】遅延段の別の例を示す回路図である。

【図55】遅延段の別の例を示す回路図である。

【図56】遅延段の別の例を示す回路図である。

【図57】補間回路の別の例を示す回路図である。

【図58】補間回路の別の例を示す回路図である。

【図59】第1、第2スイッチ回路の別の例を示す回路図である。

【図60】遅延段の別の例を示す回路図である。

【図61】本発明をSDRAMに適用した例を示すブロック図である。

【図62】図61の遅延クロック生成部を示すブロック図である。

【図63】従来の半導体集積回路を示すブロック図である。

【図64】従来のクロック信号の位相調整の制御を示すフローチャートである。

【図65】図64における位相調整時の主要な信号を示すタイミング図である。

【符号の説明】

30 クロック制御部

32 開始信号発生器

34a、34b クロックバッファ

36 遅延クロック生成部

38、40 補間回路

42、44 バッファ

46 位相比較部

48 ラフ／ファイン制御部

50 ラフ制御部

52 ファイン制御部

54 遅延回路

56 遅延段活性化回路

58 第1スイッチ回路

60 第1シフトレジスタ

62 第2スイッチ回路

64 第2シフトレジスタ

82 第1分周回路

84 第2分周回路

86 ダミー出力バッファ

88 ダミー入力バッファ

90 位相比較回路

92 分周器

118 ラフコントロール

120 ラフシフトラッチ

122 シフト方向ラッチ

124 レジスタ選択スイッチ

134 ファインコントロール

136 2進カウンタ

138 最大最小検出器

140 クロック制御部

141 位相比較部

142 ラフ／ファイン制御部

144 ラフ制御部

148 ファイン位相比較回路

150 ラフ位相比較回路

152 ラフコントロール

156 第1分周回路

156a、156b、156c スイッチ

A、B、C、D 制御信号

A1、B1、C1、D1、A2、B2、C2、D2 制御信号

40 ABCLK、/ABCLK 内部クロック信号

ACLK、/ACLK、BCLK、/BCLK 内部クロック信号

CNT3、CNT2、CNT1、CNT0 カウンタ信号

CLK、/CLK クロック信号

CLK-K、/CLK-K 内部クロック信号

COMP 比較結果信号

D01、D02、D03、D04 遅延段

D11、D12、D13 遅延段

DICLK 内部クロック信号

FCOMP ファイン比較結果信号

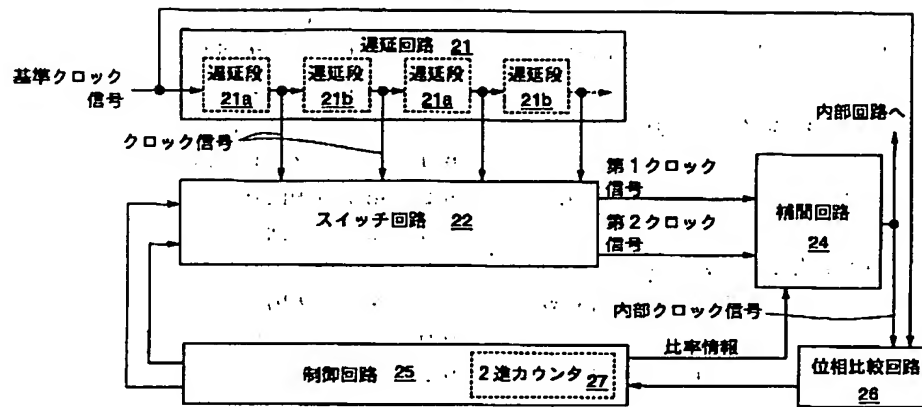
FEN ファインイネーブル信号

MAX 最大信号
 MIN 最小信号
 RCOMP ラフ比較結果信号
 REFCLK 参照クロック信号
 REN ラファイネーブル信号
 /RESET リセット信号

RLON ラフロックオン信号
 RSD ラフシフト方向信号
 RSO ラフシフト順番信号
 STT 開始信号
 TIM タイミング信号

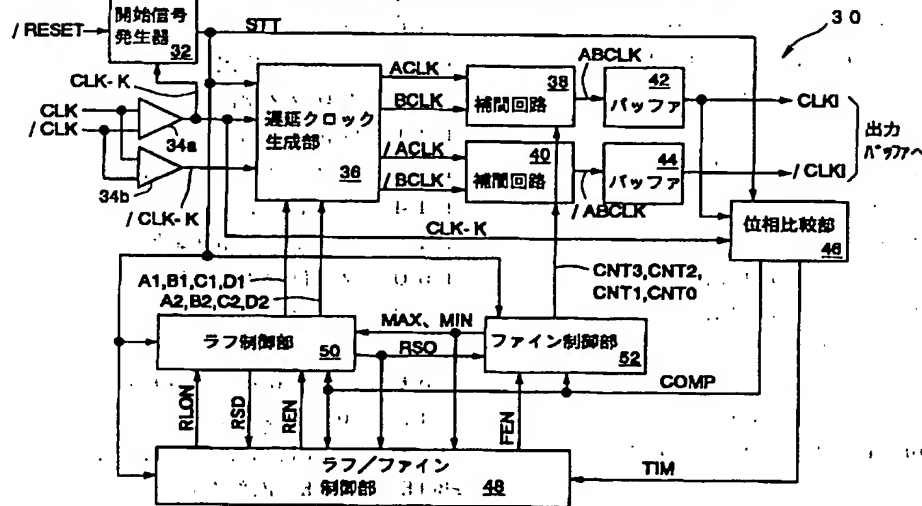
【図 1】

請求項 1 ないし請求項 5 に記載の発明の基本原理を示すブロック図



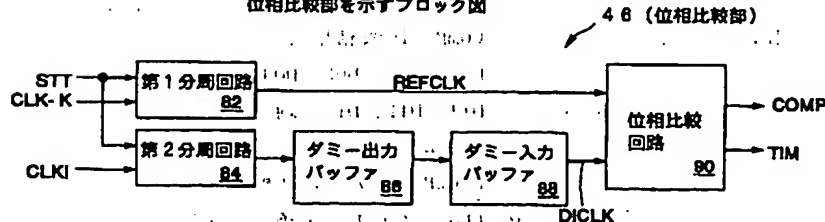
【図 2】

第 1 の実施形態におけるクロック制御部を示すブロック図

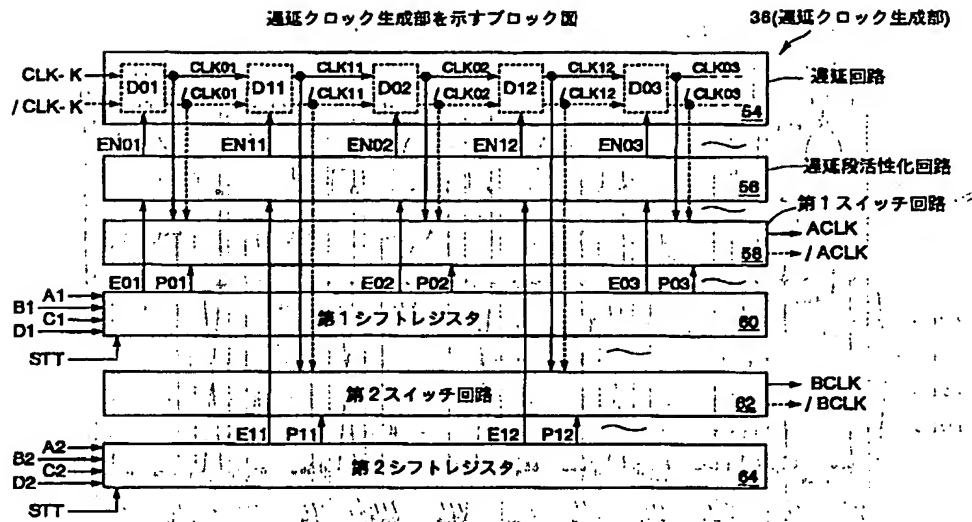


【図 1 2】

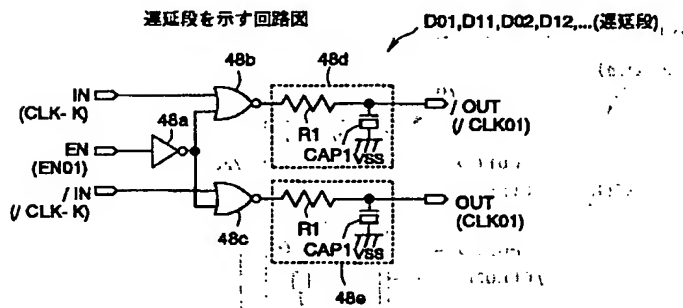
位相比較部を示すブロック図



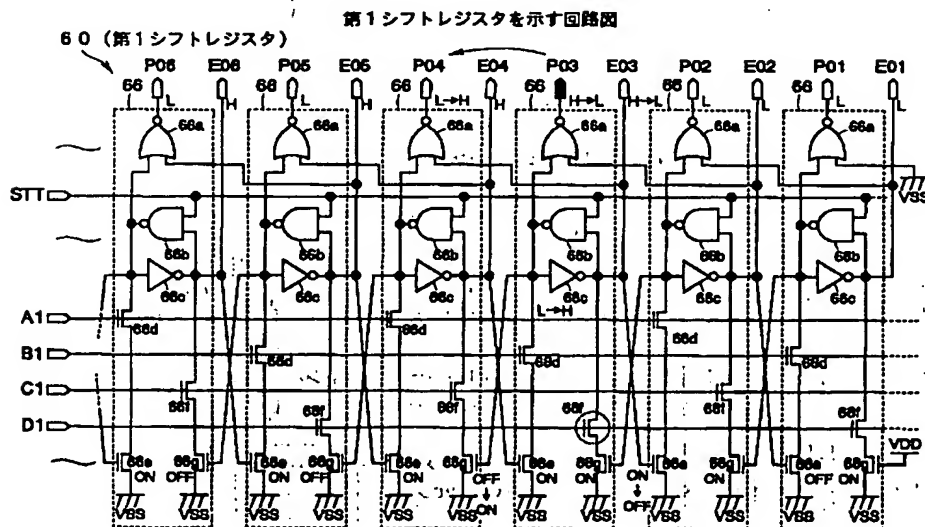
【図3】



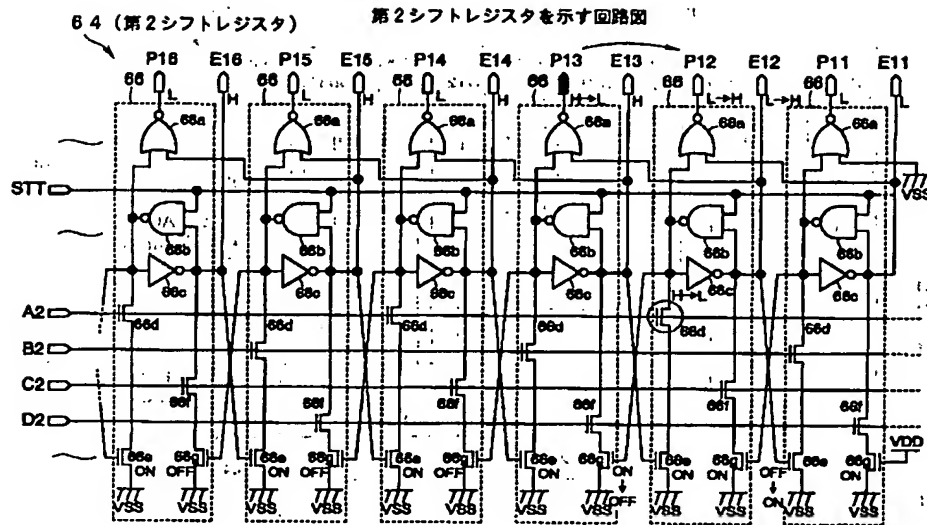
【図4】



【図5】

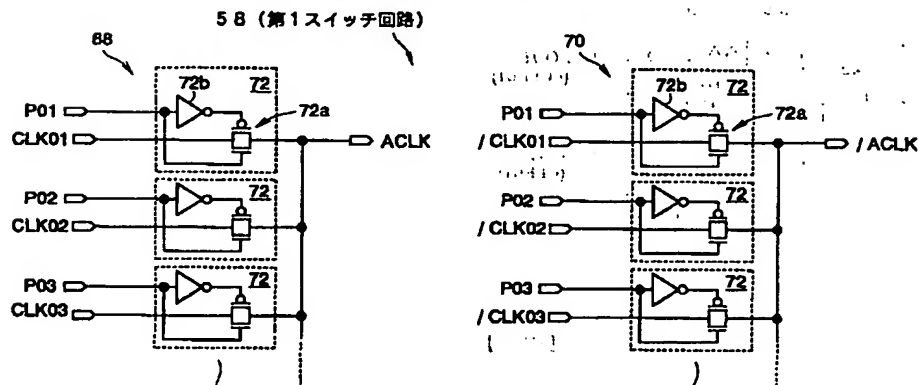


【図 6】



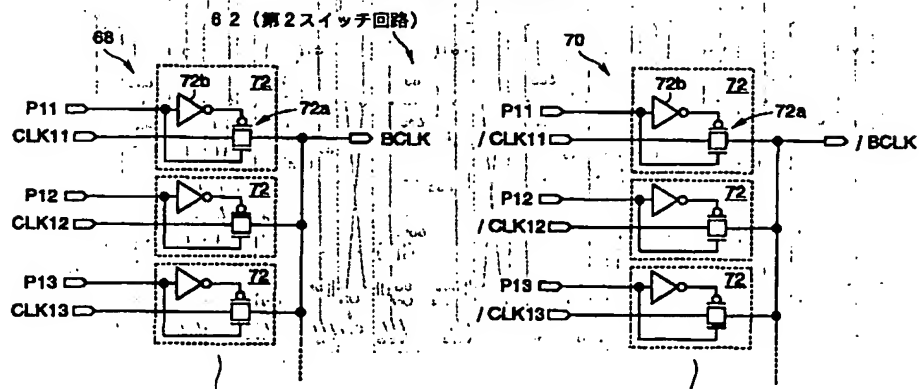
【図 7】

第 1 スイッチ回路を示す回路図



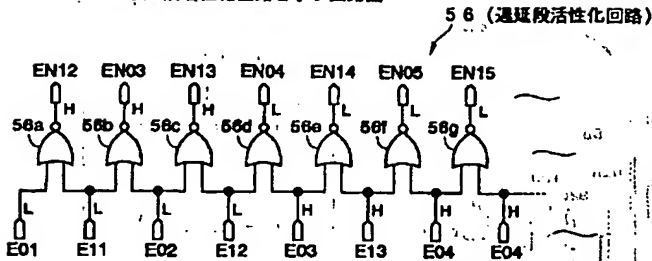
【図 8】

第 2 スイッチ回路を示す回路図



【図 9】

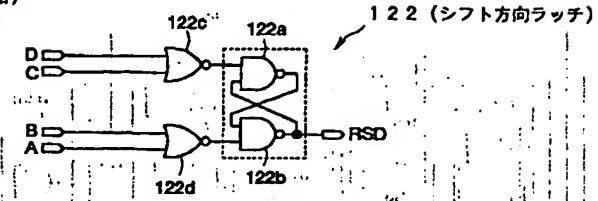
遅延段活性化回路を示す回路図



56 (遅延段活性化回路)

【図 25】

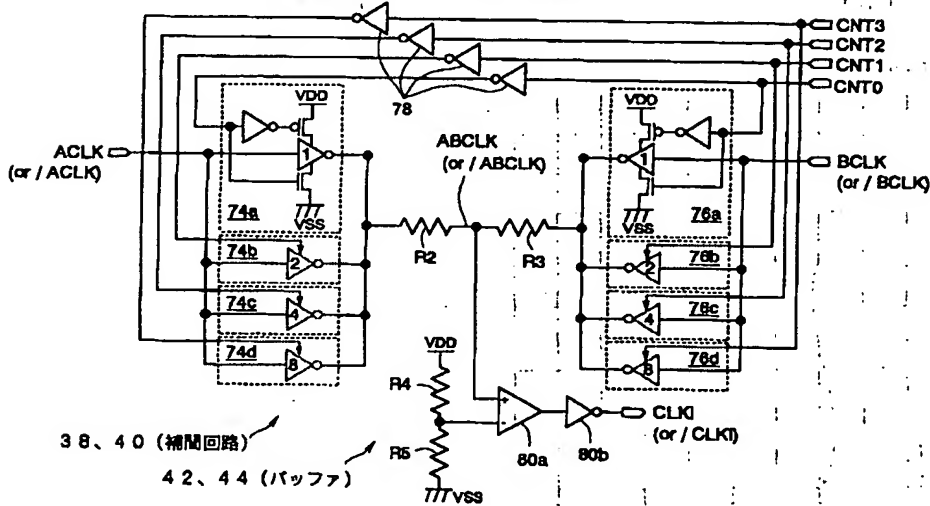
シフト方向ラッチを示す回路図



122 (シフト方向ラッチ)

【図 10】

補間回路およびバッファを示す回路図



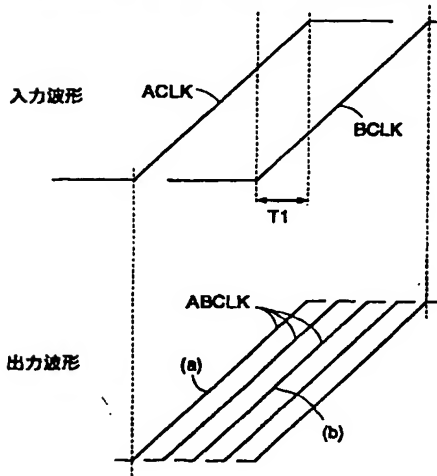
38、40 (補間回路)

42、44 (バッファ)

【図 13】

【図 11】

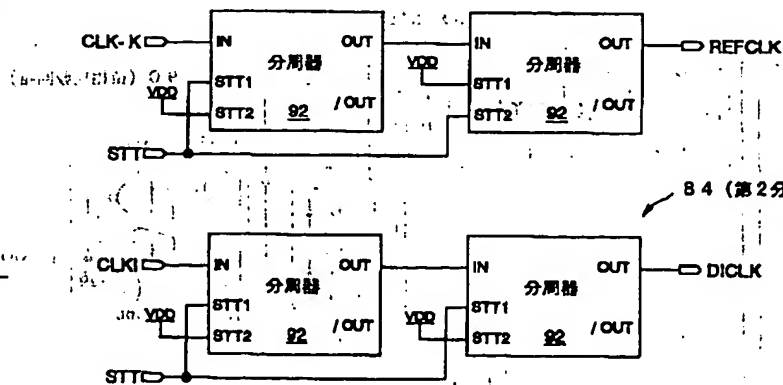
補間回路の入力波形と出力波形を示すタイミング図



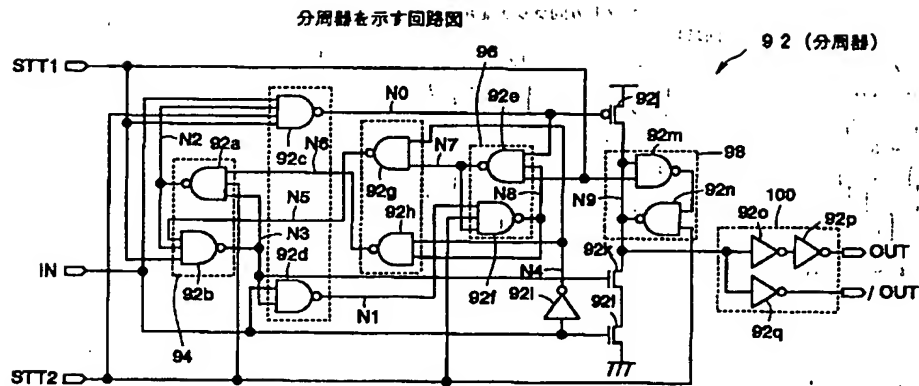
第1分周回路および第2分周回路を示すブロック図

82 (第1分周回路)

84 (第2分周回路)

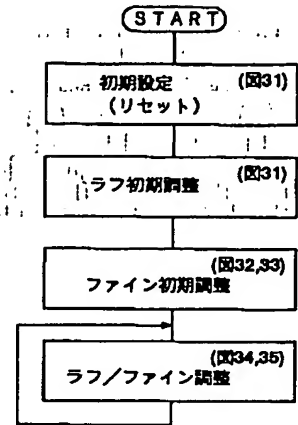


【図14】



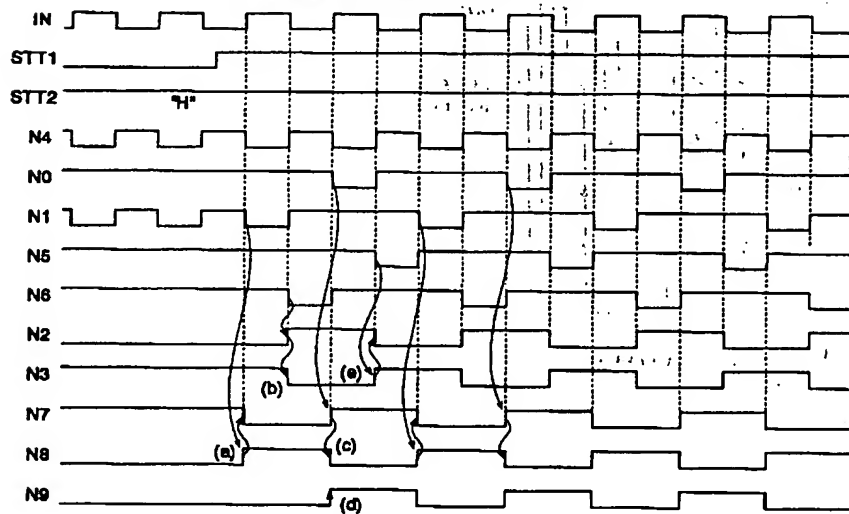
【図30】

位相調整の制御を示すフローチャート



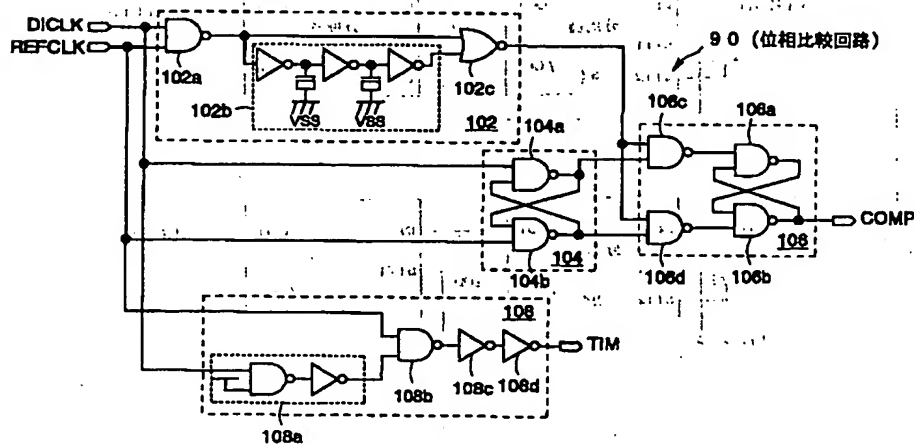
【図15】

分周器の基本的な動作を示すタイミング図



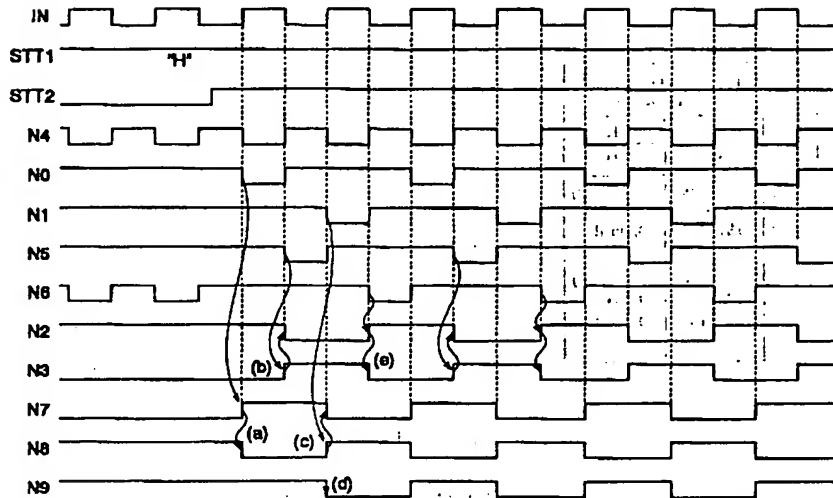
【図17】

位相比較回路を示す回路図



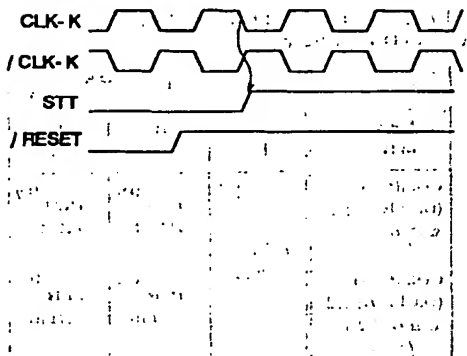
【図 16】

分周器の基本的な動作を示すタイミング図



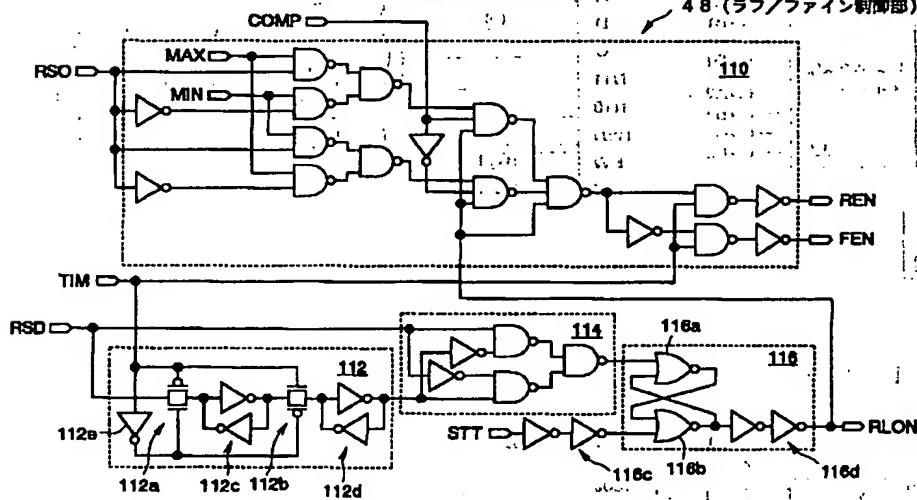
【図 36】

開始信号発生器の動作を示すタイミング図



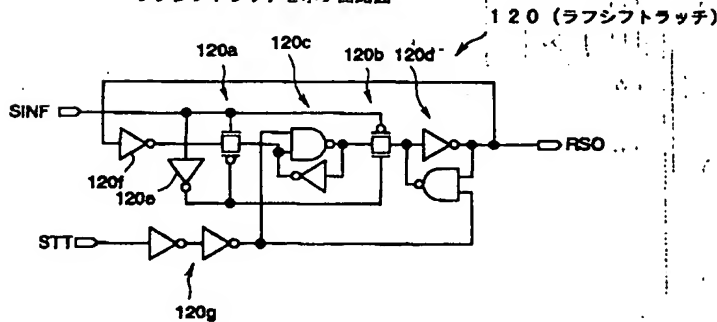
【図 18】

ラフ/ファイン制御部を示す回路図



【図 24】

ラフシフトラッチを示す回路図



【図 19】

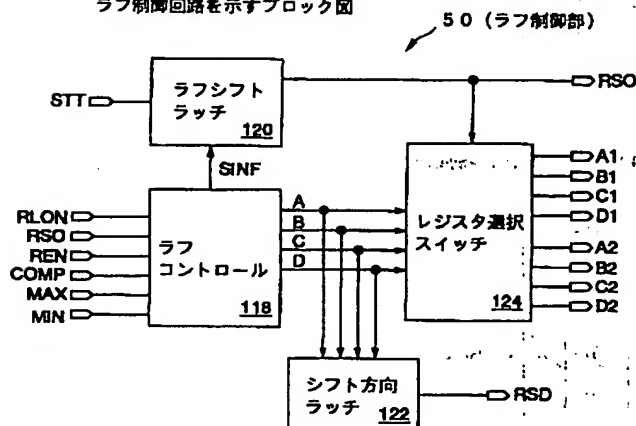
組み合わせ回路の動作を示す制御状態図

- (1) $RLON=L$ のとき: FEN は常に活性化
 (2) $RLON=H$ のとき:

RSO	H			L		
	ACLK BCLK			ACLK BCLK		
MAX	L	H	L	L	H	L
MIN	L	L	H	L	L	H
COMP=L (DCLKの位相を遅める)	(A) FEN 活性化	(B) FEN 活性化	(D) REN 活性化	(F) FEN 活性化	(G) REN 活性化	(I) FEN 活性化
COMP=H (DCLKの位相を遅らせる)	FEN 活性化	(C) REN 活性化	(E) FEN 活性化	(H) FEN 活性化	(J) REN 活性化	

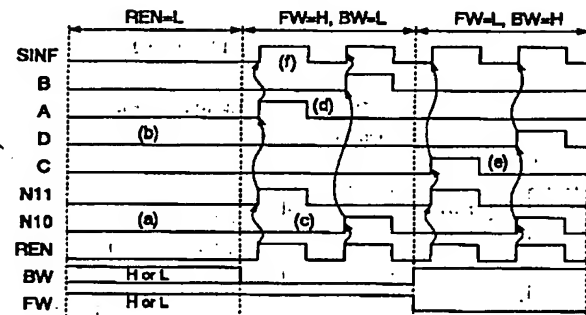
【図 20】

ラフ制御回路を示すブロック図



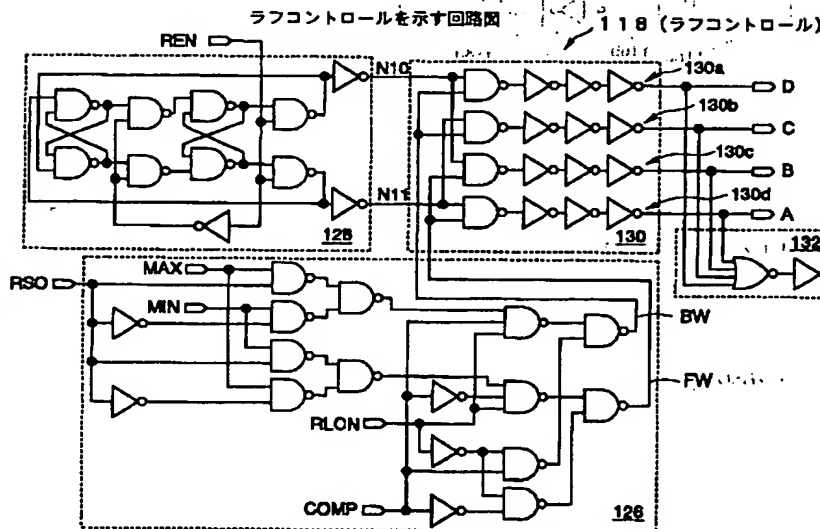
【図 23】

ラフコントロールの動作の概要を示すタイミング図



【図 21】

ラフコントロールを示す回路図



【図22】

組み合わせ回路の動作を示す制御状態図

- (1) RLON=Lのとき: COMP=LでFW活性化
COMP=HでBW活性化

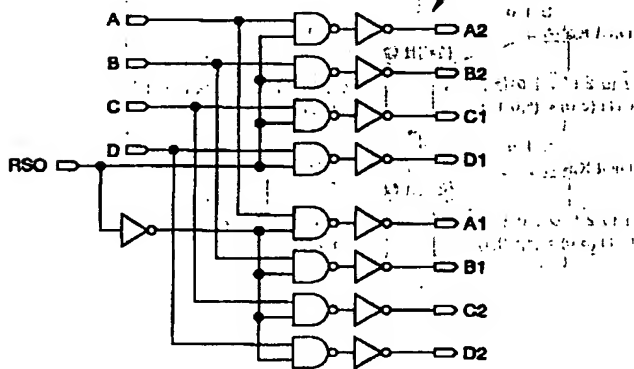
- (2) RLON=Hのとき:

RSO	H			L		
	L	H	L	L	H	L
MAX MIN	L H	L H	L H	L H	L H	L H
COMP=L (D1CLKの位相 を進める)	(A) FW、 BWとも 非活性化	(B) FW、BWとも 非活性化	(D) FW 活性化	(F) FW、 BWとも 非活性化	(G) FW 活性化	(I) FW、BWとも 非活性化
COMP=H (D1CLKの位相 を遅らせる)	(A) FW、 BWとも 非活性化	(C) BW 活性化	(E) FW、BWとも 非活性化	(F) FW、 BWとも 非活性化	(H) FW、BWとも 非活性化	(J) BW 活性化

【図26】

レジスタ選択スイッチを示す回路図

124 (レジスタ選択スイッチ)



【図29】

ファインコントロールの動作を示す制御状態図

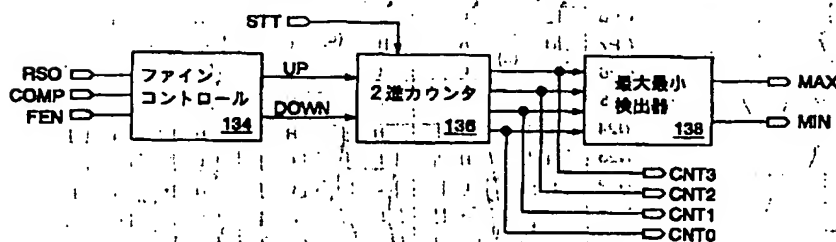
- (1) FEN=Lのとき: UP、DOWNは常に非活性化
(2) FEN=Hのとき:

RSO	H	L
	AQK BCLK	AQK BCLK
COMP=L (D1CLKの位相 を進める)	(A) DOWN 活性化	(C) UP 活性化
COMP=H (D1CLKの位相 を遅らせる)	(B) UP 活性化	(D) DOWN 活性化

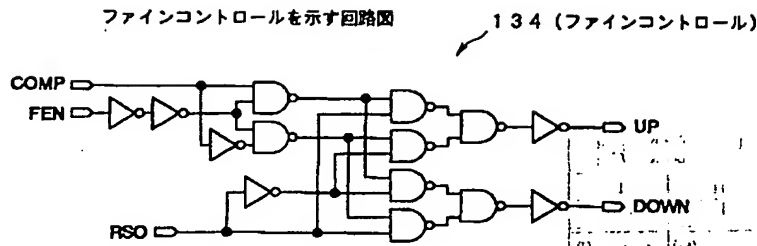
【図27】

ファイン制御部を示すブロック図

52 (ファイン制御部)

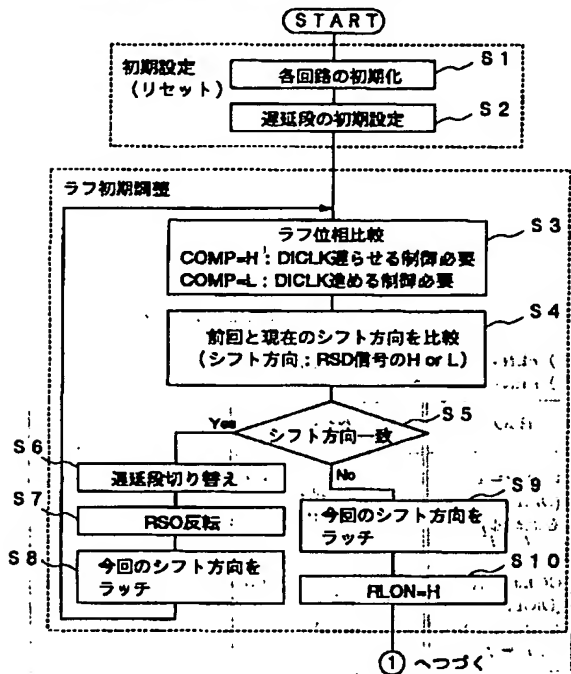


【図28】



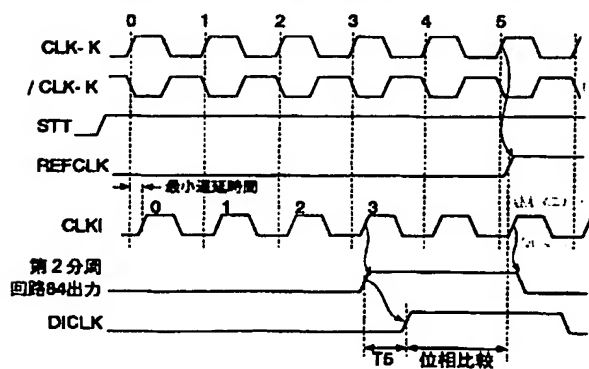
【図31】

初期設定およびラフ初期調整の制御を示すフローチャート

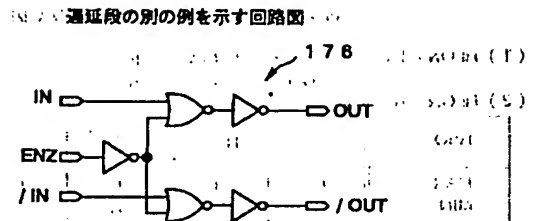


【図37】

位相比較部での各クロック信号の状態を示すタイミング図

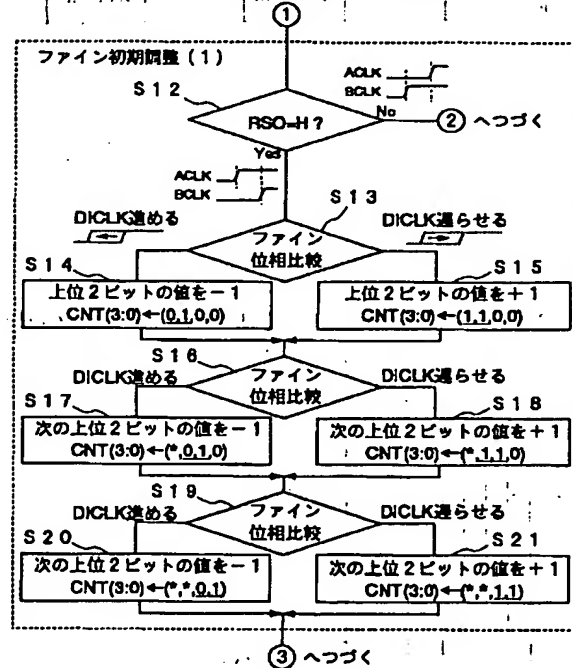


【図60】



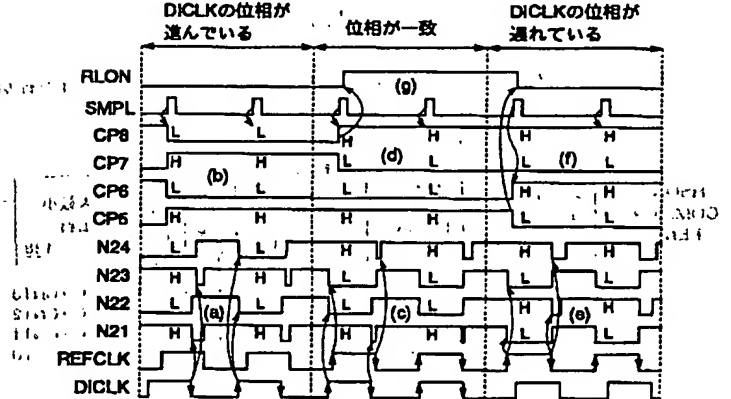
【図32】

ファイン初期調整の制御を示すフローチャート



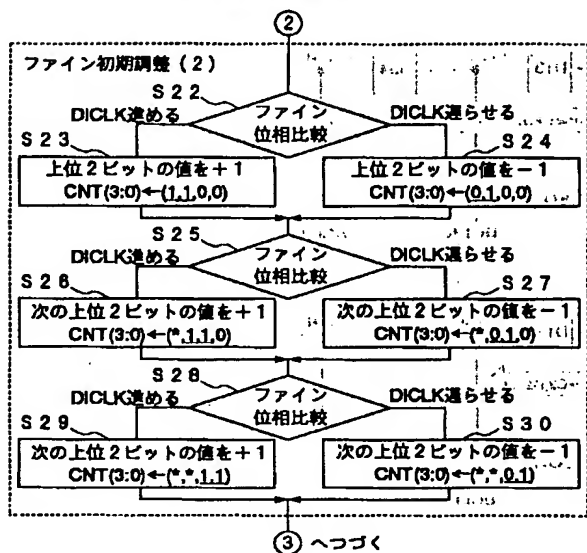
【図45】

ラフ位相比較回路の動作を示すタイミング図



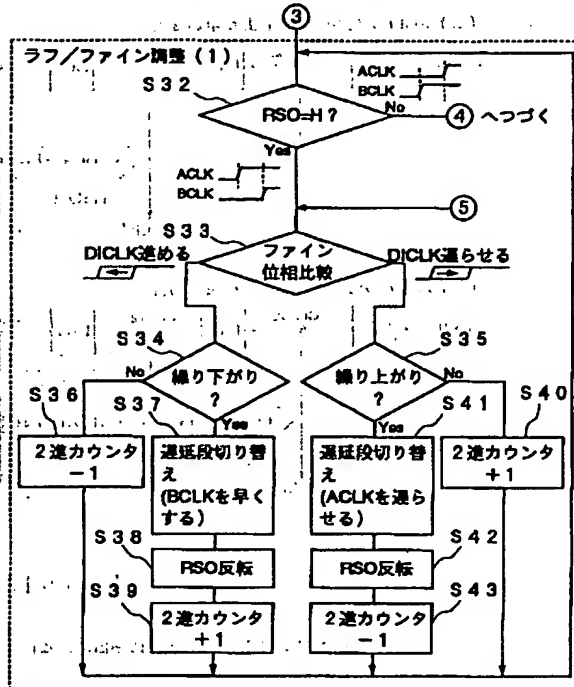
【図33】

ファイン初期調整の制御を示すフローチャート



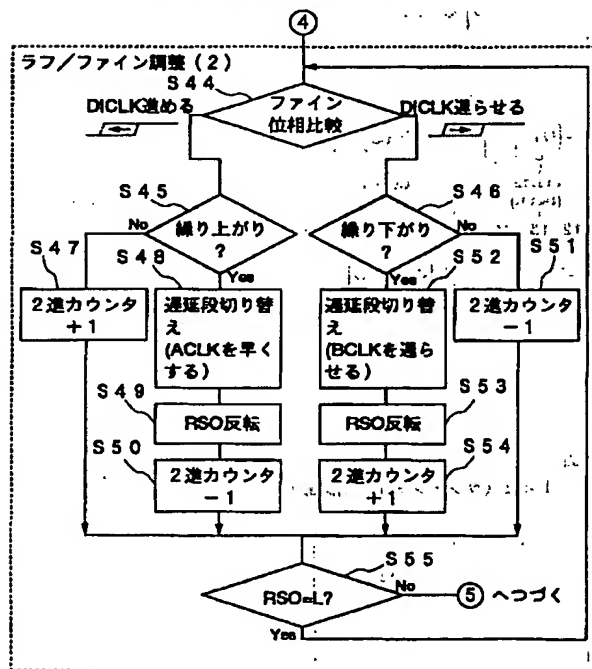
【図34】

ラフ/ファイン調整の制御を示すフローチャート



【図35】

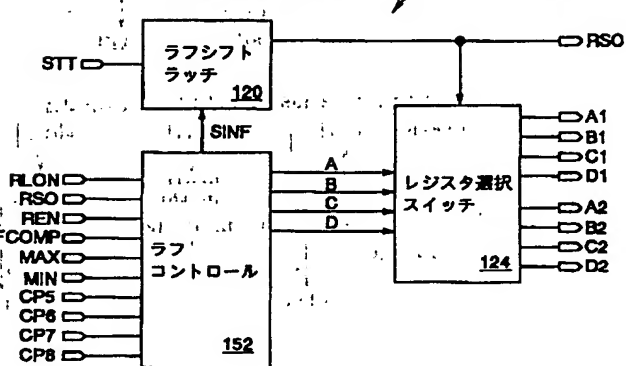
ラフ/ファイン調整の制御を示すフローチャート



【図47】

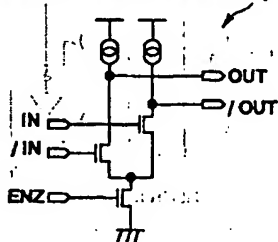
ラフ制御部を示す回路図

144 (ラフ制御部)



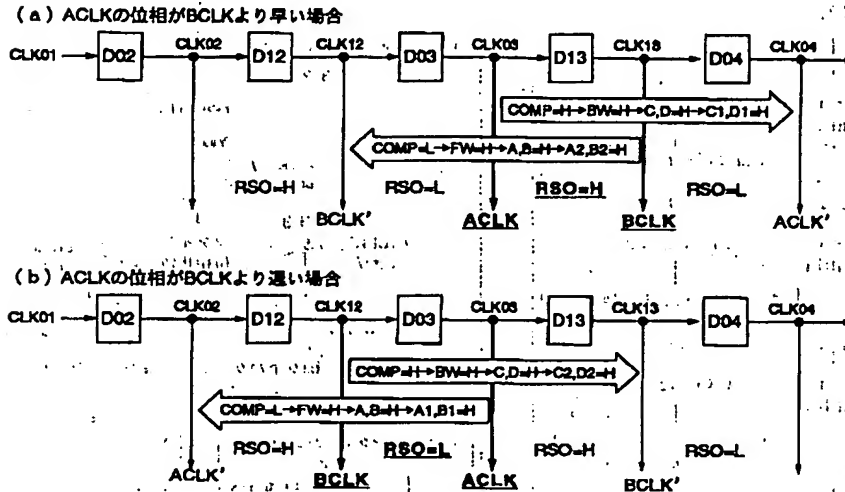
【図54】

遅延段の別の例を示す回路図



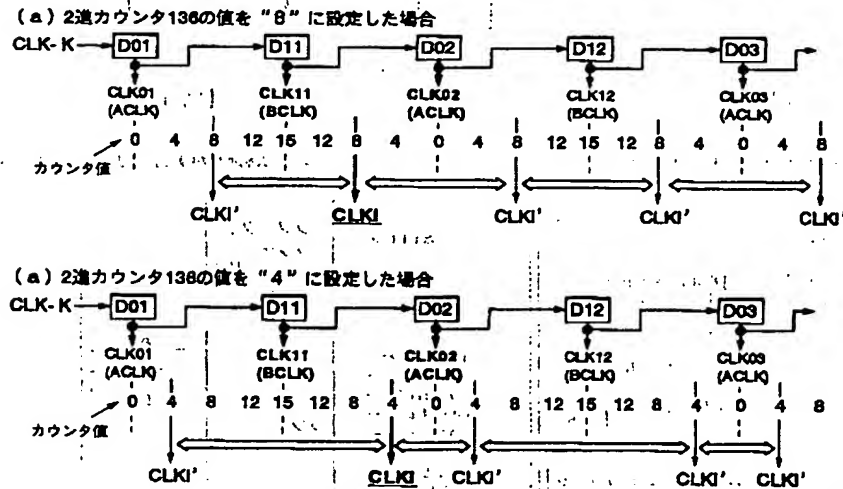
【図38】

ラフ初期調整時における内部クロック信号ACLK、BCLKの切り替え制御の概要を示す説明図



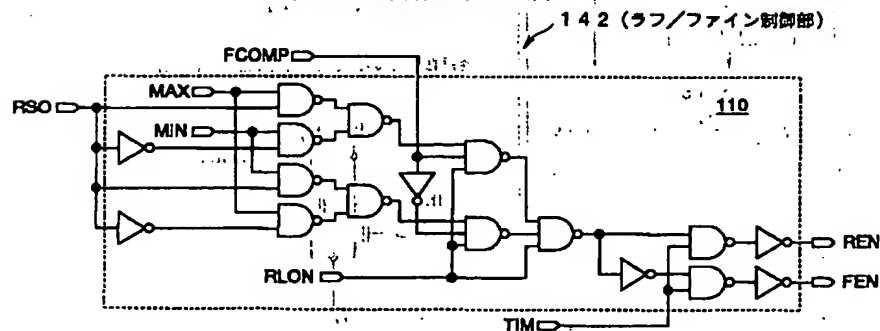
【図39】

ラフ初期調整時における2進カウンタの初期値による内部クロック信号CLKiの変化を示す説明図

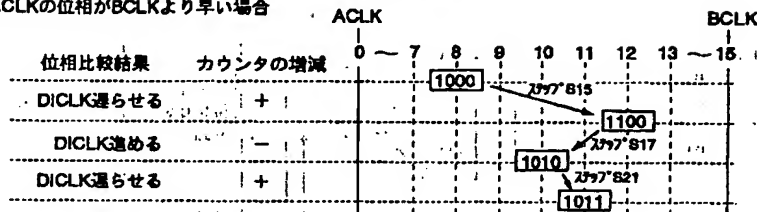


【図46】

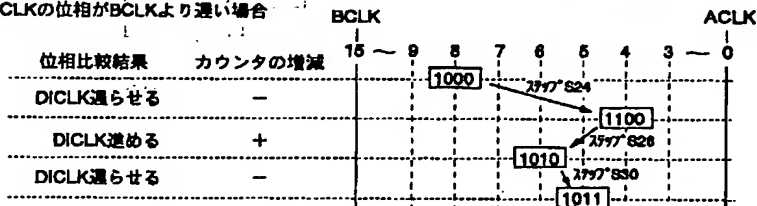
ラフ/ファイン制御部を示す回路図



ファイナ初期調整の概要を示す説明図

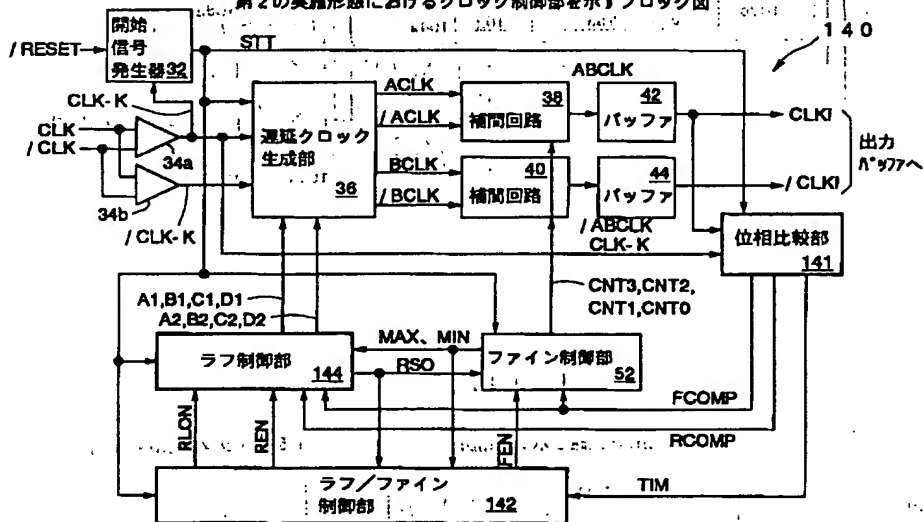
ACLK

ファイナル初期調整完了

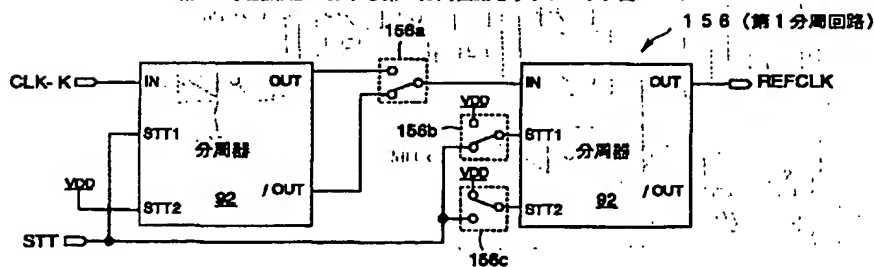
BCLK

ファイナル初期調整完了

第2の実施形態におけるクロック制御部を示すブロック図

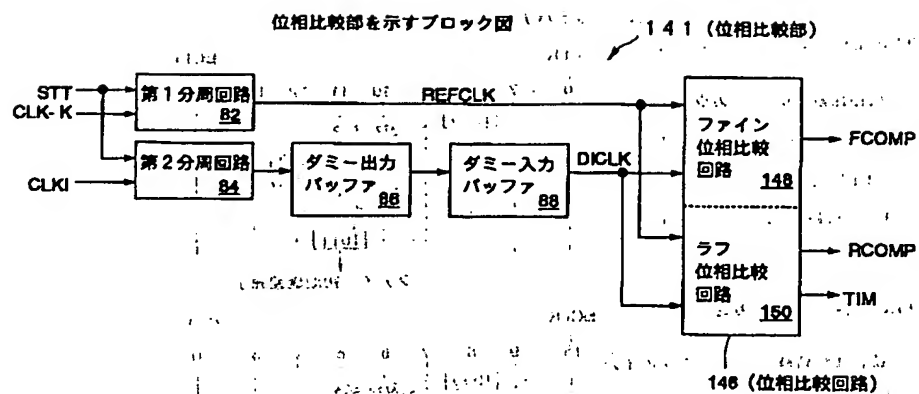


第3の実施形態における第1分周回路を示すブロック図



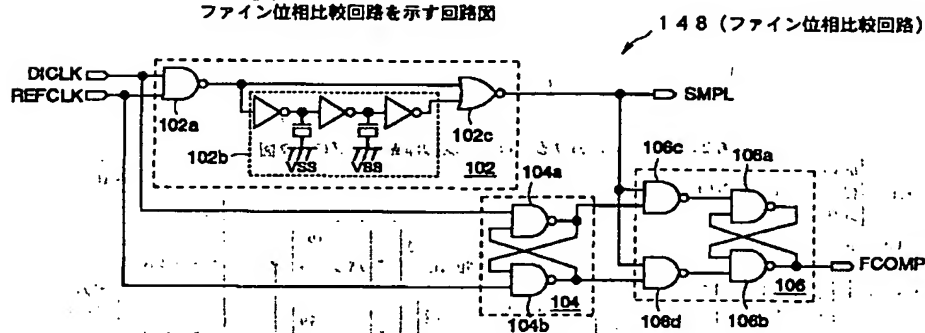
【图 4-2】

位相比較部を示すブロック図



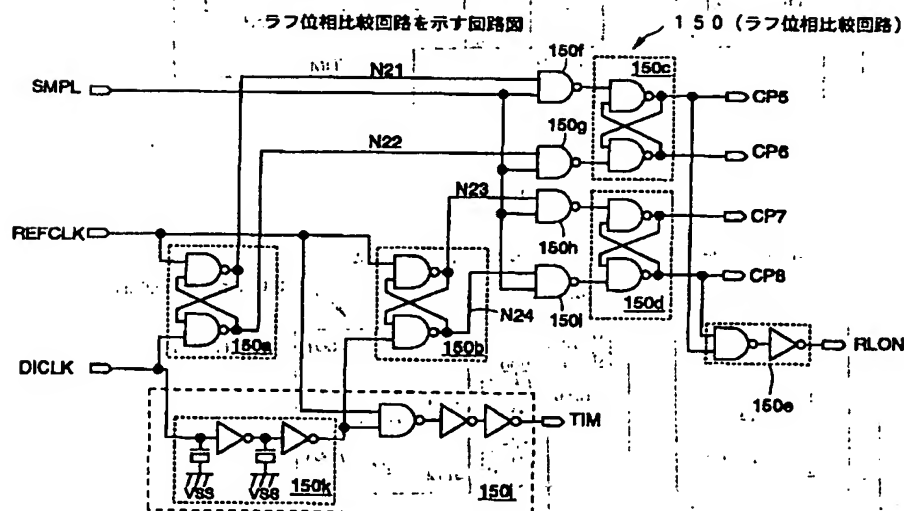
【☒ 4 3】

ファイン位相比較回路を示す回路図

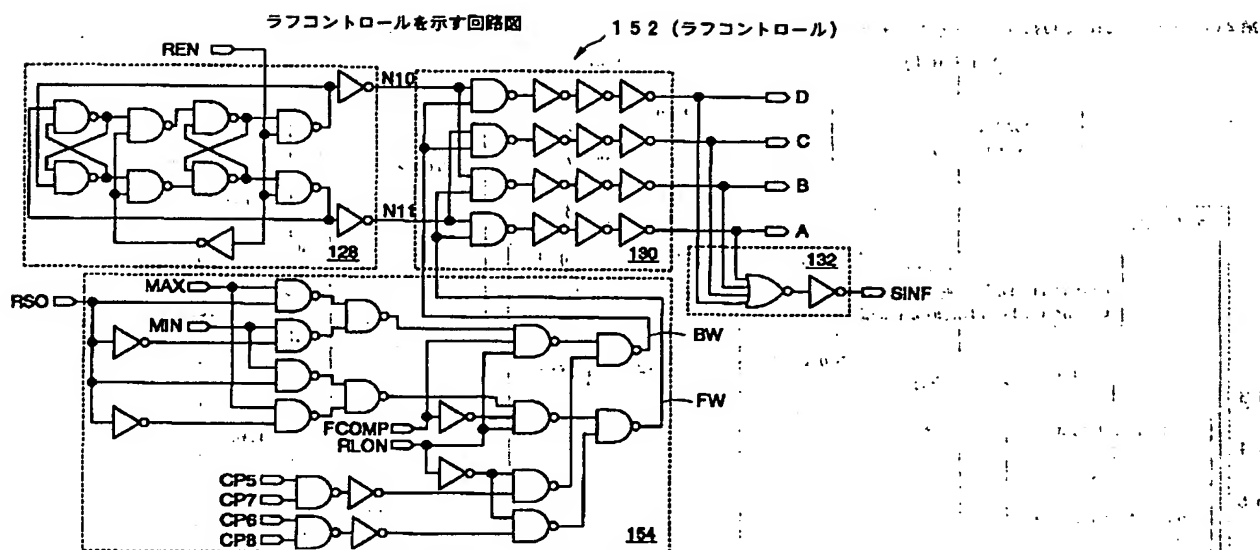


【图 4 4】

ラフ位相比較回路を示す回路図



【図48】



【図49】

組み合わせ回路の動作を示す制御状態図

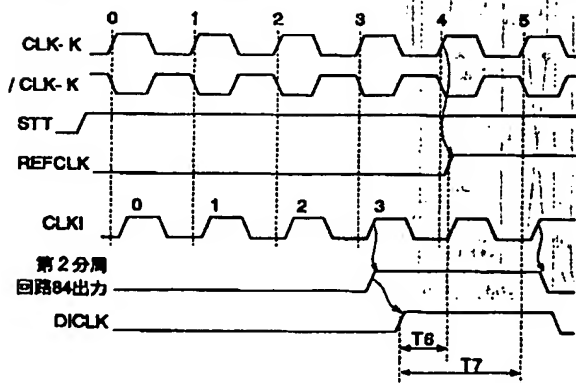
(1) FLON=L のとき: CP6=H, CP8=HでFW活性化
CP5=H, CP7=HでBW活性化

(2) FLON=H のとき:

RSO		H	ACLK BCLK		L	ACLK BCLK
MAX		L	L	L	L	L
MIN		L	H	H	H	H
FCOMP=L (DCLKの位相 を進める)	FW, BWとも 非活性化	FW, (B) BWとも 非活性化	FW (D) 活性化	FW, BWとも 非活性化	FW (G) 活性化	FW, (I) BWとも 非活性化
FCOMP=H (DCLKの位相 を遅らせる)	FW, BWとも 非活性化	BW (C) 活性化	FW, (E) BWとも 非活性化	FW, BWとも 非活性化	FW, (H) BWとも 非活性化	BW (J) 活性化

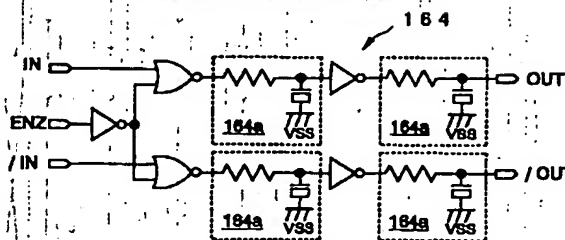
【図52】

第3の実施形態における位相調整開始時の第1、第2分周器の動作を示すタイミング図



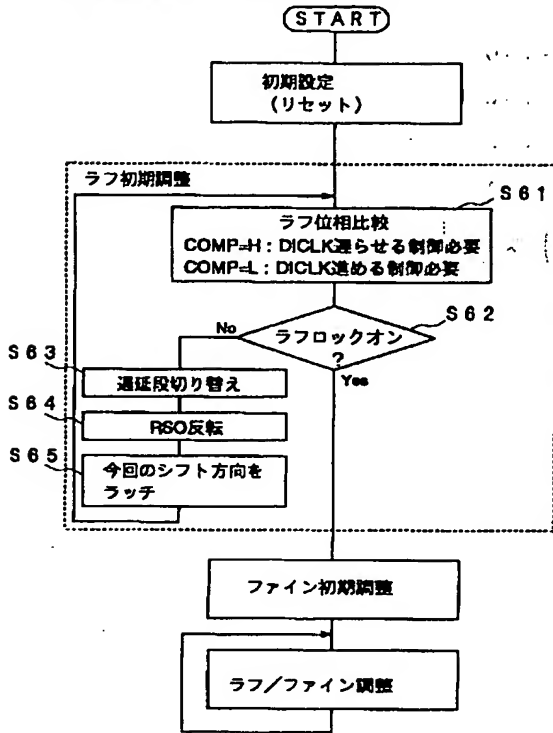
【図55】

遅延段の別の例を示す回路図



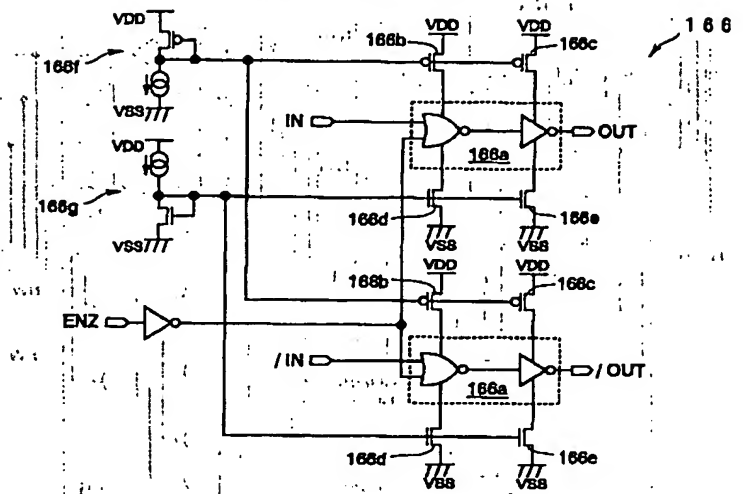
【図 50】

第2の実施形態における位相調整の制御を示すフローチャート



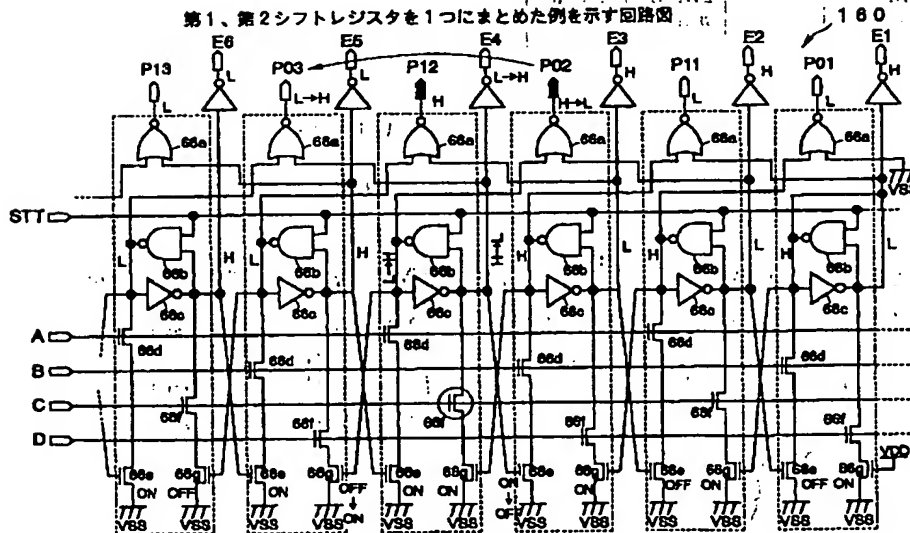
【図 56】

遅延段の別の例を示す回路図



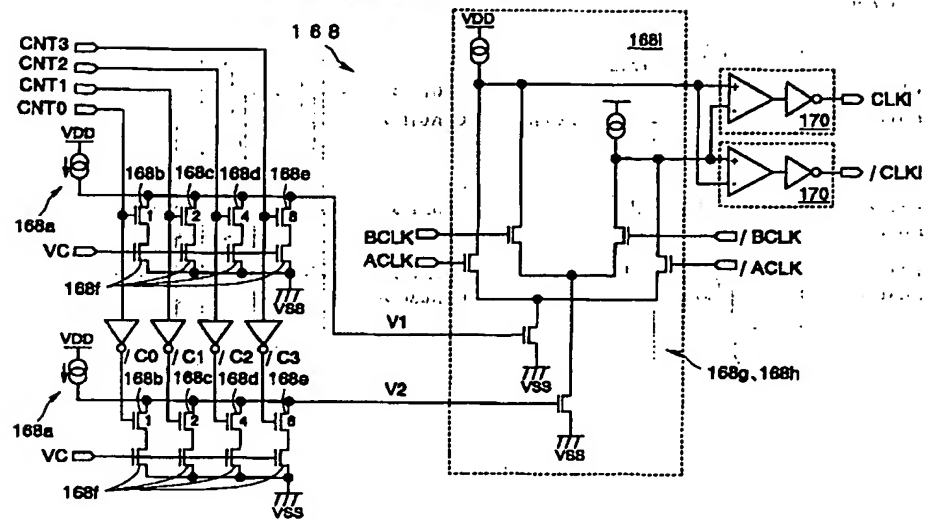
【図 53】

第1、第2シフトレジスタを1つにまとめた例を示す回路図



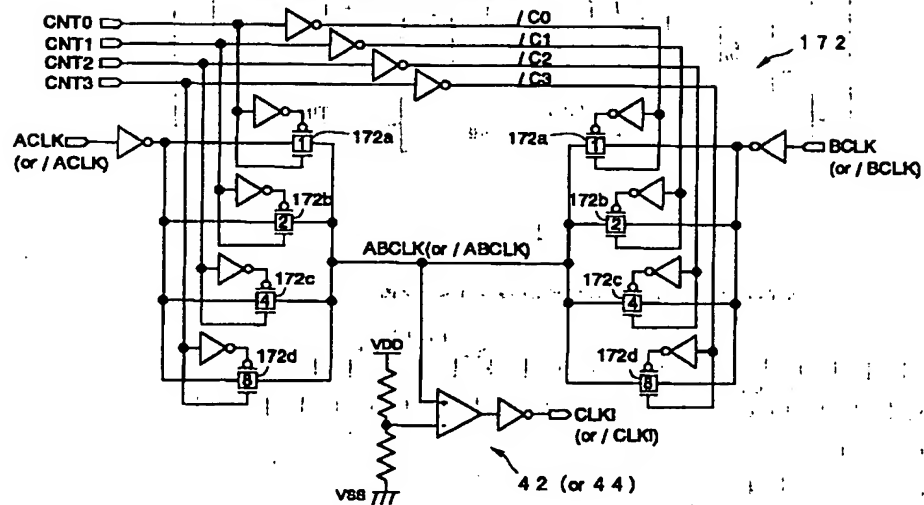
【図57】

補間回路の別の例を示す回路図

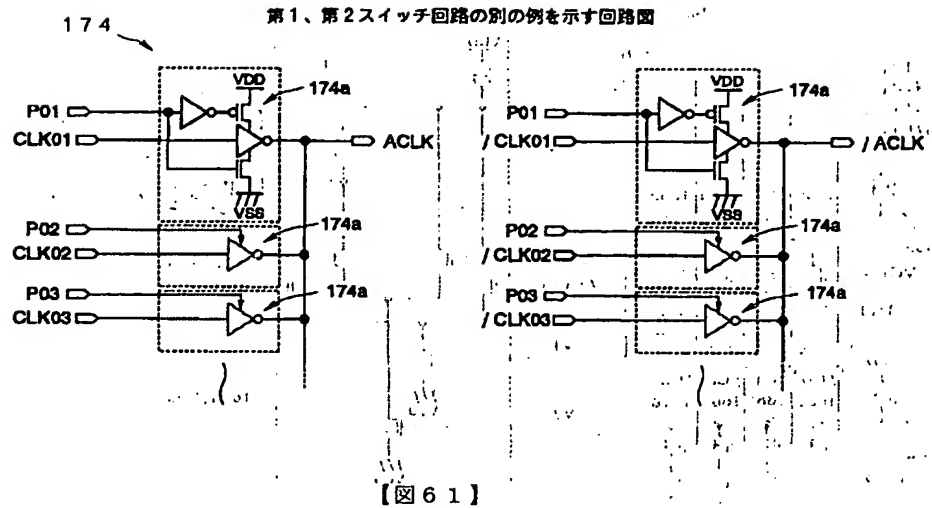


【図58】

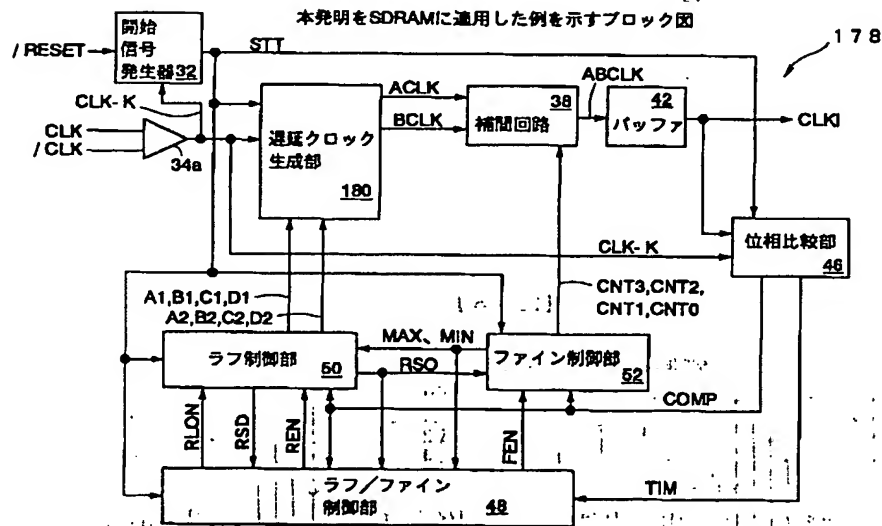
補間回路の別の例を示す回路図



【図59】

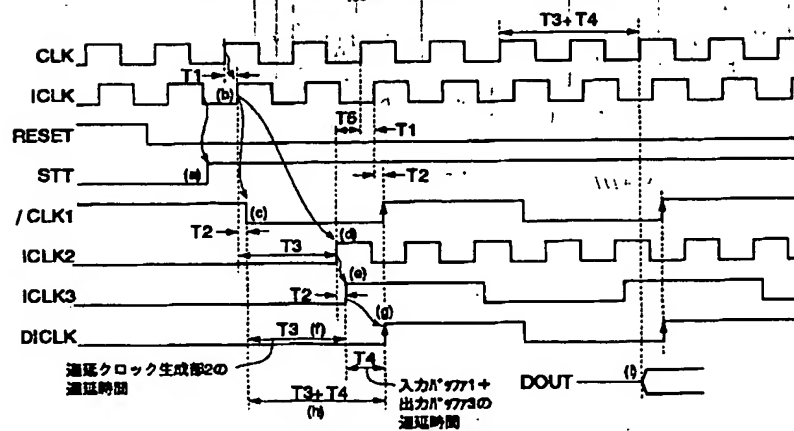


【図61】

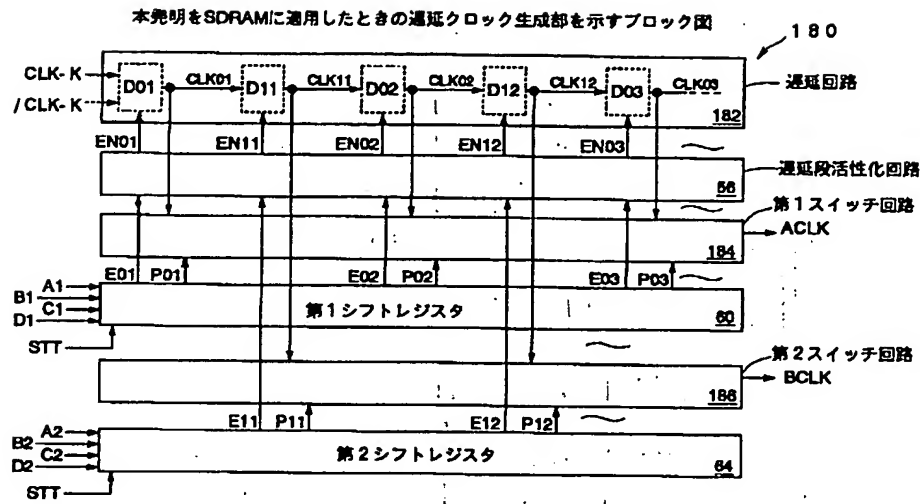


【図65】

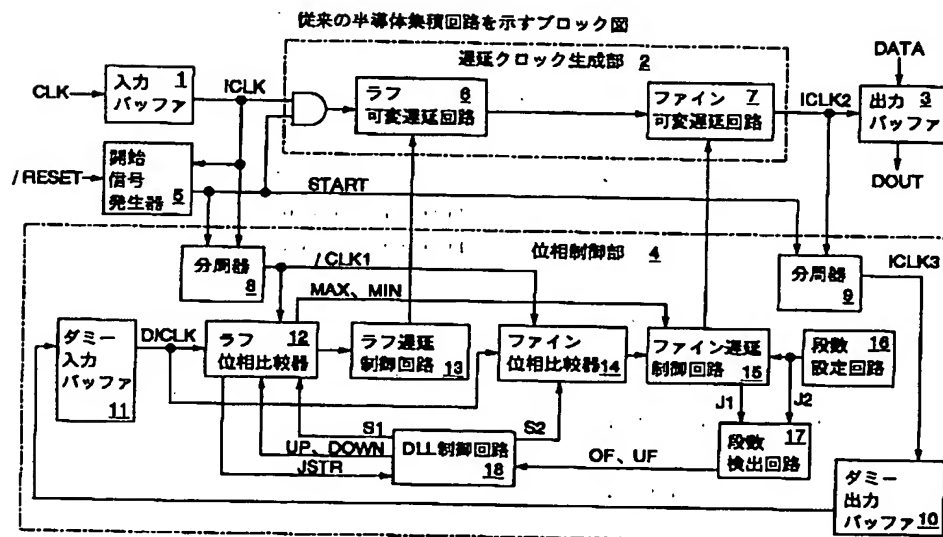
従来の位相調整時の主要な信号を示すタイミング図



【図62】

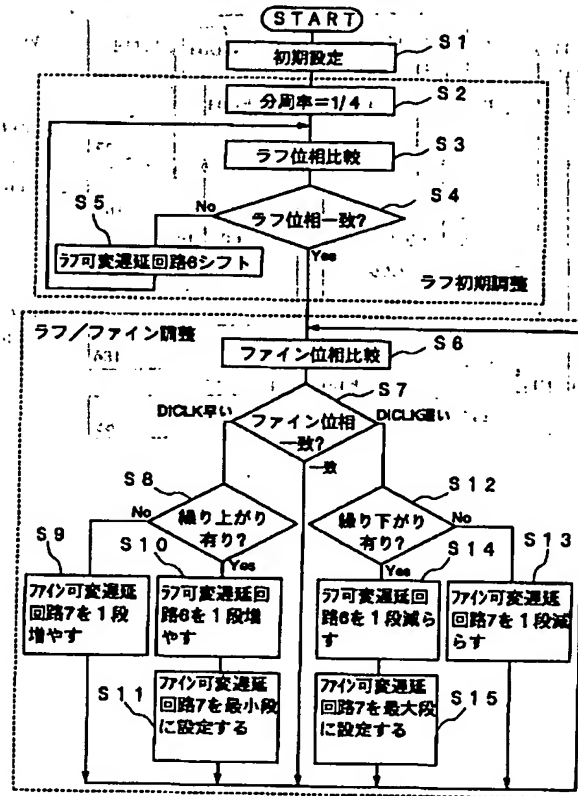


【図63】



【図 64】

従来のクロック信号の位相調整の制御を示すフローチャート



フロントページの続き

(51) Int. Cl. 7

H03L 7/081

識別記号

FI

H03K 19/00

H03L 7/08

テーマコード (参考)

101N

J

Fターム(参考) 5B024 AA01 AA04 AA07 AA15 BA21

BA23 CA07

5B079 CC01 CC02 CC14 DD08

5J001 AA04 BB10 BB11 BB12 BB21

BB23 DD09

5J056 AA00 AA39 BB02 BB21 BB24

BB57 CC05 CC14 CC17 CC18

DD13 DD28 FF01 HH01 KK00

5J106 AA03 BB00 CC26 CC59 DD17

DD24 DD39 GG04 HH02 JJ02

KK03